



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0080228  
Application Number

3022

출원 년 월 일 : 2002년 12월 16일  
Date of Application DEC 16, 2002

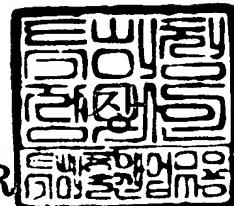
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003 년 02 월 24 일

특 허 청

COMMISSIONER



【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0005  
**【제출일자】** 2002. 12. 16  
**【발명의 명칭】** 액정표시장치의 데이터 구동 장치 및 방법  
**【발명의 영문명칭】** DATA DRIVING APPARATUS AND METHOD FOR LIQUID CRYSTAL DISPLAY  
**【출원인】**  
**【명칭】** 엘지 . 필립스 엘시디 주식회사  
**【출원인코드】** 1-1998-101865-5  
**【대리인】**  
**【성명】** 김영호  
**【대리인코드】** 9-1998-000083-1  
**【포괄위임등록번호】** 1999-001050-4  
**【발명자】**  
**【성명의 국문표기】** 안승국  
**【성명의 영문표기】** AHN, Seung Kuk  
**【주민등록번호】** 660211-1006719  
**【우편번호】** 730-100  
**【주소】** 경상북도 구미시 비산동 전원리빙 APT 1309호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 경창수  
**【성명의 영문표기】** KYEONG, Chang Su  
**【주민등록번호】** 570209-1113128  
**【우편번호】** 702-850  
**【주소】** 대구광역시 북구 읍내동 1366-1 공작한양아파트 103동 701호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
김영호 (인)

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 37 면 37,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 66,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 데이터라인들로 공급되는 데이터를 시분할 방식으로 공급하여 데이터 드라이버 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 데이터 구동장치에 관한 것이다.

본 발명의 액정표시장치의 데이터 구동 장치는 입력된 화소데이터를 시분할하여 공급하기 위한 제1 멀티플렉서 어레이와; 시분할된 화소데이터를 화소전압신호로 변환하기 위한 디지털-아날로그 변환 어레이와; 데이터라인들을 시분할하여 화소전압신호를 공급하기 위한 디멀티플렉서 어레이를 구비하며; 디지털-아날로그 변환 어레이는 외부로부터 입력되는 다수의 화소전압신호레벨을 입력받고, 적어도 하나 이상의 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계 이상 높은 절대치전압을 가지는 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성한다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

액정표시장치의 데이터 구동 장치 및 방법{DATA DRIVING APPARATUS AND METHOD FOR LIQUID CRYSTAL DISPLAY}

**【도면의 간단한 설명】**

도 1은 종래 액정표시장치의 구성을 개략적으로 도시한 도면.

도 2는 도 1에 도시된 데이터 드라이브 IC의 상세구성을 도시한 블록도.

도 3은 감마기준전압을 생성하는 감마 기준전압 발생부를 나타내는 회로도.

도 4는 감마 기준전압을 이용하여 감마보상전압을 생성하는 감마전압부를 나타내는 회로도.

도 5a 및 도 5b는 도 2에 도시된 데이터 드라이브 IC의 기수 프레임 및 우수 프레임 구동 파형도.

도 6은 본 발명의 실시 예에 따른 데이터 드라이브 IC의 구성을 도시한 블록도.

도 7a 및 도 7b는 도 6에 도시된 데이터 드라이브 IC의 기수 프레임 및 우수 프레임 구동 파형도.

도 8은 전반부에 충전된 화소전압신호가 방전되는 과정을 나타내는 파형도.

도 9a 및 도 9b는 본 발명의 다른 실시예에 의한 데이터 드라이브 IC의 기수 프레임 및 우수 프레임 구동 파형도.

도 10은 첫번째 및 세번째 1/4수평기간에 충전된 화소전압신호가 방전되는 과정을 나타내는 파형도.

< 도면의 주요 부분에 대한 부호의 설명 >

1 : 기준전원용 외부전원                      2 : 액정패널                      4 : 데이터 드라이브  
 IC    6 : 데이터 TCP                      8 : 게이트 드라이브 IC    10 : 게이트 TCP  
 12, 42 : 쉬프트 레지스터 어레이    13, 48 : 제1 래치                      14, 44 : 쉬프트  
 레지스터    15, 54 : 제1 MUX 어레이                      17, 56 : 제1 MUX    16, 46 : 제1 래치  
 어레이                      18, 50 : 제2 래치 어레이    19, 52 : 제2 래치                      20, 62  
 : DAC 어레이    22, 64 : PDAC                      24, 66 : NDAC    26, 68 : 버퍼 어  
 레이                      28, 70 : 버퍼    30, 58 : 제2 MUX 어레이  
 32, 60 : 제2 MUX    34, 88 : 데이터 레지스터부                      36, 90 : 감마전압부    80  
 : 제3 MUX 어레이                      82 : 제3 MUX    84 : DEMUX 어레이  
 86 : DEMUX

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 액정표시장치에 관한 것으로 특히, 데이터라인들로 공급되는 데이터를 시분할 방식으로 공급하여 데이터 드라이버 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 데이터 구동장치 및 방법에 관한 것이다.
- <15> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여 액정표시장치는 액정셀들이 액티브 매트릭스 형태로 배열되어진 액정패널과 이 액정패널을 구동하기 위한 구동회로를 구비한다.
- <16> 실제로, 액정표시장치는 도 1에 도시된 바와 같이 데이터 TCP(Tape Carrier Package)(6)를 통해 액정패널(2)과 접속된 데이터 드라이브 IC(Integrated Circuit)들(4)과, 게이트 TCP(10)를 통해 액정패널(2)과 접속된 게이트 드라이브 IC들(8)을 구비한다.
- <17> 액정패널(2)은 게이트라인들과 데이터라인들의 교차부마다 형성된 박막트랜지스터와, 박막트랜지스터에 접속된 액정셀을 구비한다. 박막트랜지스터의 게이트전극은 수평라인 단위의 게이트라인들 중 어느 하나와 접속되고, 소스전극은 수직라인단위의 데이터라인들 중 어느 하나와 접속된다. 이러한 박막트랜지스터는 게이트라인으로부터의 스캔신호에 응답하여 데이터라인으로부터의 화소전압신호를 액정셀에 공급한다. 액정셀은 박막트랜지스터의 드레인 전극과 접속된 화소전극과, 그 화소전극과 액정을 사이에 두고 대면하는 공통전극을 구비한다. 이러한 액정셀은 화소전극에 공급되는 화소전압신호에 응답하여 액정을 구동함으로써 광투과율을 조절하게 된다.

- <18> 게이트 드라이브 IC들(8) 각각은 게이트 TCP(10) 각각에 실장된다. 게이트 TCP(10)에 실장된 게이트 드라이브 IC(8)는 게이트 TCP(10)를 통해 액정패널(2)의 게이트 패드들과 전기적으로 접속된다. 이러한 게이트 드라이브 IC들(8)은 액정패널(2)의 게이트라인들을 1수평기간(1H) 단위로 순차 구동하게 된다.
- <19> 데이터 드라이브 IC들(4) 각각은 데이터 TCP(6) 각각에 실장된다. 데이터 TCP(6)에 실장된 데이터 드라이브 IC(4)는 데이터 TCP(6)를 통해 액정패널(2)의 데이터 패드들과 전기적으로 접속된다. 이러한 데이터 드라이브 IC들(4)은 디지털 화소데이터를 아날로그 화소전압신호로 변환하여 1수평기간(1H) 단위로 액정패널(2)의 데이터라인들에 공급한다.
- <20> 이를 위하여, 데이터 드라이브 IC들(4) 각각은 도 2에 도시된 바와 같이 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(12)와, 샘플링신호에 응답하여 화소데이터를 래치하여 출력하는 제1 및 제2 래치 어레이(16, 18)와, 제1 및 제2 래치 어레이(16, 18) 사이에 배치된 제1 멀티플렉서(Multiplexer;이하, MUX라 함)(15)와, 제2 래치 어레이(18)로부터의 화소데이터를 화소전압신호로 변환하는 디지털-아날로그 변환(이하, DAC라 함) 어레이(20)와, DAC 어레이(20)로부터의 화소전압신호를 완충하여 출력하는 버퍼 어레이(26)와, 버퍼 어레이(26) 출력의 진행경로를 선택하는 제2 MUX 어레이(30)를 구비한다. 또한, 데이터 드라이브 IC(4)는 타이밍 제어부(도시하지 않음)로부터 공급되는 화소데이터(R, G, B)를 중계하는 데이터 레지스터(34)와, DAC 어레이(20)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(36)를 더 구비한다.



- <21> 이러한 구성을 갖는 데이터 드라이브 IC들(4) 각각은 n개씩의 데이터라인들을 구동하기 위하여 n채널(예컨데, 384 또는 480 채널)의 데이터출력을 갖는다. 이러한 데이터 드라이브 IC(4)의 n채널 중 도 2는 6채널(D1 내지 D6) 부분만을 도시한다.
- <22> 데이터 레지스터(34)는 타이밍 제어부로부터의 화소데이터를 중계하여 제1 래치 어레이(16)로 공급한다. 특히 타이밍 제어부는 전송 주파수 감소를 위해 화소데이터를 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)로 분리하여 각각의 전송라인을 통해 데이터 레지스터(34)로 공급하게 된다. 데이터 레지스터(34)는 입력된 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)를 각각의 전송라인을 통해 제1 래치 어레이(16)로 출력한다. 여기서 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd) 각각은 적(R), 녹(G), 청(B) 화소데이터를 포함한다.
- <23> 감마전압부(36)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마기준전압을 그레이별로 세분화하여 출력한다.
- <24> 이를 상세히 설명하면, 감마 기준전압 발생부는 도 3과 같이 64 단계의 전체계조범위에서 10 단계로 나뉘어진 감마기준전압(GMA1 내지 GMA10)을 생성하여 감마전압부(36)로 공급한다. 즉, 감마 기준전압 발생부는 기준전원용 외부전원(1)으로부터 공급되는 공급전압을 분압하여 정극성 감마기준전압(GMA1 내지 GMA5) 및 부극성 감마기준전압(GMA6 내지 GMA10)을 발생한다. 이 감마기준전압(GMA1 내지 GMA10)은 표현하고자 하는 전체계조를 5단계로 나누었을 때 각 단계에 해당하는 감마보상전압이다.
- <25> 감마전압부(36)는 도 4와 같이 감마기준전압(GMA1 내지 GMA10)을 분압하여 감마기준전압(GMA1 내지 GMA10) 사이의 세분화된 계조에 각각 대응하는 감마보상전압(VH0, VH1...)을 생성한다. 이를 위하여 감마전압부(36)는 인접한 단계의 감마기준전압

들(GM1 내지 GMA10) 사이, 즉 GMA1과 GMA2사이, GMA2와 GMA3사이,..., GMA9와 GMA10 사이에 각각 15개 또는 16개씩 직렬로 접속된 저항들로 구성된다. 이와 같은 저항들에 의해 감마기준전압(GMA1 내지 GMA10)이 세분화되어 감마보상전압(VH0, VH1,...)이 생성된다.

<26> 쉬프트 레지스터 어레이(12)는 순차적인 샘플링신호를 발생하여 제1 래치 어레이(16)로 공급하고, 이를 위하여  $n/6$ 개의 쉬프트 레지스터(14)를 구비한다. 도 2에 도시된 첫번째 단의 쉬프트 레지스터(14)는 타이밍 제어부로부터 입력되는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호로 출력함과 동시에 다음단의 쉬프트 레지스터(14)에 캐리신호(CAR)로 공급한다. 소스 스타트 펄스(SSP)는 도 5a 및 도 5b에 도시된 바와 같이 1수평기간(1H) 단위로 공급되고 소스 샘플링 클럭신호(SSC) 마다 쉬프트되어 샘플링신호로 출력된다.

<27> 제1 래치 어레이(16)는 쉬프트 레지스터 어레이(12)로부터의 샘플링신호에 응답하여 데이터 레지스터(34)로부터의 화소데이터(RGBeven, RGBodd)를 일정단위씩 샘플링하여 래치한다. 제1 래치 어레이(16)는  $n$ 개의 화소데이터(R, G, B)를 래치하기 위해  $n$ 개의 제1 래치들(13)로 구성되고, 그 제1 래치들(13) 각각은 화소데이터(R, G, B)의 비트수(예를 들어, 3비트 또는 6비트)에 대응하는 크기를 갖는다. 이러한 제1 래치 어레이(16)는 샘플링 신호마다 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd), 즉 6개씩의 화소데이터를 샘플링하여 래치한 다음 동시에 출력한다.

<28> 제1 MUX 어레이(15)는 타이밍 제어로부터의 극성제어신호(POL)에 응답하여 제1 래치 어레이(16)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 결정하게 된다. 이를 위하여 제1 MUX 어레이(15)는  $n-1$ 개의 제1 MUX들(17)을 구비한다. 제1 MUX들(17) 각각

은 인접한 두개의 제1 래치(13) 출력을 입력하여 극성제어신호(POL)에 따라 선택적으로 출력하게 된다. 여기서, 첫번째와 마지막번째 제1 래치들(13)을 제외한 나머지 제1 래치들(13) 각각의 출력은 인접한 두개의 제1 MUX(17)에 공유되어 입력된다. 첫번째와 마지막번째 제1 래치들(13)의 출력은 제2 래치어레이(18)와 제1 MUX(17)에 공유되어 입력된다. 이러한 구성을 가지는 제1 MUX 어레이(15)는 극성제어신호(POL)에 따라 제1 래치들(13) 각각으로부터의 화소데이터(R, G, B)가 그대로 제2 래치부(18)로 진행되게 제어하거나, 한칸씩 오른쪽으로 쉬프트되어 제2 래치부(18)로 진행되게 제어한다. 극성제어신호(POL)는 도 5a 및 도 5b에 도시된 바와 같이 1수평기간(1H) 마다 그 극성이 반전된다. 결과적으로 제1 MUX 어레이(15)는 제1 래치 어레이(16)로부터의 화소데이터(R, G, B) 각각이 극성제어신호(POL)에 응답하여 제2 래치 어레이(18)를 경유하여 DAC 어레이(20)의 P(Positive)DAC(22) 또는 N(Negative)DAC(24)으로 출력되게 함으로써 화소데이터(R, G, B)의 극성을 제어하게 된다.

<29> 제2 래치 어레이(18)는 제1 래치 어레이(16)로부터 제1 MUX 어레이(15)를 경유하여 입력되는 화소데이터(R, G, B)를 타이밍 제어부로부터의 소스 출력 이네이블신호(SOE)에 응답하여 동시에 래치한 후 출력한다. 특히 제2 래치 어레이(18)는 제1 래치 어레이(16)로부터의 화소데이터(R, G, B)가 라이트 쉬프트되어 입력되는 경우를 고려하여 n+1개의 제2 래치들(19)을 구비한다. 소스 출력 이네이블신호(SOE)는 도 5a 및 도 5b에 도시된 바와 같이 1수평기간(1H) 단위로 발생한다. 제2 래치 어레이(18)는 이 소스 출력 이네이블신호(SOE)의 라이징 에지에서 입력되는 화소데이터들(R, G, B)을 동시에 래치하고 폴링 에지에서 동시에 출력한다.

- <30> DAC 어레이(20)는 제2 래치 어레이(18)로부터의 화소데이터들(R, G, B)을 감마전압부(36)로부터의 정극성 및 부극성 감마보상전압( $GH(=VH)$ ,  $GL(=VH)$ )을 이용하여 화소전압신호로 변환하여 출력하게 된다. 즉, DAC 어레이(20)는 제2 래치 어레이(18)로부터 입력되는 데이터에 대응하여 다수의 정극성 및 부극성 감마보상전압( $GH, GL$ ) 중 어느 하나의 전압을 화소전압신호로 출력하게 된다. 예를 들어, 제2 래치(19)로부터 제1데이터를 입력받은 PDAC1(22)은 도 4에 도시된  $VH_6$  전압을 화소전압신호로 출력하게 된다.
- <31> 이를 위하여, DAC 어레이(20)는  $n+1$ 개의 PDAC(22) 및 NDAC(24)을 구비하고, 도트 인버전 구동을 위해 PDAC(22)과 NDAC(24)이 교번적으로 나란하게 배치된다. PDAC(22)은 제2 래치 어레이(18)로부터의 화소데이터들(R, G, B)을 정극성 감마보상전압들( $GH$ )을 이용하여 정극성 화소전압신호로 변환한다. NDAC(24)은 제2 래치 어레이(18)로부터 화소데이터들(R, G, B)을 부극성 감마보상전압들( $GL$ )을 이용하여 부극성 화소전압신호로 변환한다.
- <32> 버퍼 어레이(26)에 포함되는  $n+1$ 개의 버퍼들(28) 각각은 DAC 어레이(20)의 PDAC(22) 및 NDAC(24) 각각으로부터 출력되는 화소전압신호를 신호완충하여 출력한다.
- <33> 제2 MUX 어레이(30)는 타이밍 제어로부터의 극성제어신호(POL)에 응답하여 버퍼 어레이(26)로부터 공급되는 화소전압신호의 진행경로를 결정하게 된다. 이를 위하여, 제2 MUX 어레이(30)는  $n$ 개의 제2 MUX들(32)을 구비한다. 제2 MUX들(32) 각각은 극성제어신호(POL)에 응답하여 인접한 2개의 버퍼들(28) 중 어느 하나의 출력을 선택하여 해당 데이터라인(DL)으로 출력한다. 여기서, 첫번째 마지막번째 버퍼(28)를 제외한 나머지 버퍼들(28)의 출력단은 인접한 2개의 제2 MUX들(32)에 공유되어 입력된다. 이러한 구성을 가지는 제2 MUX 어레이(30)는 극성제어신호(POL)에 응답하여 마지막번째 버퍼(28)를 제

외한 버퍼들(28) 각각으로부터의 화소전압신호가 그대로 데이터라인(DL1 내지 DL6)과 일대일 대응되어 출력되게 한다. 또한, 제2 MUX 어레이(30)는 극성제어신호(POL)에 응답하여 첫번째 버퍼(28)를 제외한 나머지 버퍼들(28) 각각으로부터의 화소전압신호가 한칸씩 왼쪽으로 쉬프트되어 데이터라인(DL1 내지 DL6)과 일대일 대응되어 출력되게 한다.

<34> 극성제어신호(POL)는 제1 MUX 어레이(15)에 공급되는 것과 동일하게 도 5a 및 도 5b에 도시된 바와 같이 1수평기간(1H) 마다 그 극성이 반전된다. 이와 같이 제2 MUX 어레이(30)는 제1 MUX 어레이(15)와 함께 극성제어신호(POL)에 응답하여 데이터라인들(DL1 내지 DL6)에 공급되는 화소전압신호의 극성을 결정하게 된다. 이 결과 제2 MUX 어레이(30)를 통해 데이터라인들(DL1 내지 DL6) 각각에 공급되는 화소전압신호는 인접한 화소전압신호들과 상반된 극성을 갖는다. 다시 말하여 도 5a 및 도 5b에 도시된 바와 같이 DL1, DL3, DL5 등과 같은 기수 데이터라인들(Dodd)로 출력되는 화소전압신호와 DL2, DL4, DL6 등과 같은 우수 데이터라인들(Deven)로 출력되는 화소전압신호는 서로 상반되는 극성을 갖게 된다. 그리고 그 기수 데이터라인들(Dodd)과 우수 데이터라인들(Deven)의 극성은 게이트라인들(GL1, GL2, GL3, ...)이 순차적으로 구동되는 1수평주기(1H) 마다 반전됨과 아울러 프레임 단위로 반전되게 된다.

<35> 이와 같이 종래의 데이터 드라이브 IC들(4) 각각은 n개의 데이터라인들을 구동하기 위하여 n+1개씩의 DAC들 및 버퍼들을 포함해야만 한다. 이 결과, 종래의 데이터 드라이브 IC들(4)은 그 구성이 복잡하고 제조단가가 상대적으로 높은 단점을 가진다.

**【발명이 이루고자 하는 기술적 과제】**

- <36> 따라서, 본 발명의 목적은 데이터라인들로 공급되는 데이터를 시분할 방식으로 공급하여 데이터 드라이버 집적회로의 수를 줄일 수 있도록 한 액정표시장치의 데이터 구동장치 및 방법을 제공하는 것이다.
- <37> 본 발명의 또 다른 목적은 데이터라인들을 시분할 구동하는 경우 화소전압 충전 시간차로 인한 화소전압 충전량 차를 보상할 수 있는 액정표시장치의 데이터 구동장치 및 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <38> 상기 목적을 달성하기 위하여 본 발명의 액정표시장치의 데이터 구동 장치는 입력된 화소데이터를 시분할하여 공급하기 위한 제1 멀티플렉서 어레이와; 시분할된 화소데이터를 화소전압신호로 변환하기 위한 디지털-아날로그 변환 어레이와; 데이터라인들을 시분할하여 화소전압신호를 공급하기 위한 디멀티플렉서 어레이를 구비하며; 디지털-아날로그 변환 어레이는 외부로부터 입력되는 다수의 화소전압신호레벨을 입력받고, 적어도 하나 이상의 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계 이상 높은 절대치전압을 가지는 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성한다.
- <39> 샘플링신호를 순차적으로 발생하기 위한 쉬프트 레지스터 어레이와, 샘플링신호에 응답하여 화소데이터를 소정단위씩 순차적으로 래치하여 제1 멀티플렉서 어레이로 동시

에 출력하기 위한 래치 어레이와, 화소전압신호를 버퍼링하여 디멀티플렉서 어레이로 공급하기 위한 버퍼 어레이를 추가로 구비한다.

<40>       상기 제1 멀티플렉서 어레이는 적어도  $n$ ( $n$ 은 양의 정수)개의 멀티플렉서를 구비하여 다수개의 입력 화소데이터를 시분할하여 공급하고, 디지털-아날로그 변환 어레이는 시분할된 화소데이터를 화소전압신호로 변환하고, 디멀티플렉서 어레이는 적어도  $n$ 개의 디멀티플렉서를 구비하여 다수개의 데이터라인들로 화소전압신호들을 공급한다.

<41>       상기 디지털-아날로그 변환 어레이는 시분할된 화소데이터를 화소전압신호로 변환하기 위한 적어도  $n+1$ 개의 정극성 및 부극성 디지털-아날로그 변환기를 구비하고, 정극성 디지털-아날로그 변환기와 부극성 디지털-아날로그 변환기는 교번하여 배치된다.

<42>       입력 극성제어신호에 응답하여 시분할된 화소데이터의 진행경로를 결정하여 적어도  $n+1$ 개의 정극성 및 부극성 디지털-아날로그 변환기 중 적어도  $n$ 개의 정극성 및 부극성 디지털-아날로그 변환기로 시분할된 화소데이터가 입력되게 하는 제2 멀티플렉서 어레이와, 극성제어신호에 응답하여 화소전압신호의 진행경로를 결정하여 디멀티플렉서 어레이로 입력되게 하는 제3 멀티플렉서 어레이를 구비한다.

<43>       상기 제2 멀티플렉서 어레이는 적어도 2개의 제1 멀티플렉서들의 출력 중 어느 하나를 선택하기 위한 적어도  $n-1$ 개의 제2 멀티플렉서들을 구비하고, 제3 멀티플렉서 어레이는 적어도 2개의 디지털-아날로그 변환기의 출력 중 어느 하나를 선택하기 위한 적어도  $n$ 개의 제3 멀티플렉서들을 구비하고, 제1 멀티플렉서들 각각의 출력은 적어도 2개의 제2 멀티플렉서들의 입력으로 공유되며, 디지털-아날로그 변환기 각각의 출력은 적어도 2개의 제3 멀티플렉서들의 입력으로 공유된다.

- <44>        상기 적어도 n개의 제1 멀티플렉서들 중 기수번째 멀티플렉서는 입력 제1 선택제어 신호에 응답하여 기수번째 화소데이터들을, 우수번째 멀티플렉서는 입력 제2 선택제어 신호에 응답하여 우수번째 화소데이터들을 시분할하여 출력한다.
- <45>        상기 적어도 n개의 디멀티플렉서들 중 기수번째 디멀티플렉서는 제1 선택제어 신호에 응답하여 기수번째 데이터라인들을, 우수번째 디멀티플렉서는 제2 선택제어 신호에 응답하여 우수번째 데이터라인들을 시분할 구동한다.
- <46>        상기 제1 및 제2 선택제어 신호는 서로 상반되는 논리상태를 가지며 그 논리상태는 적어도 1/2 수평기간마다 반전된다.
- <47>        상기 디지털-아날로그 변환 어레이는 1수평기간의 전반부에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압신호레벨을 이용하여 화소전압신호를 생성하고, 1수평기간의 후반부에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨을 이용하여 화소전압신호를 생성한다.
- <48>        상기 제1 및 제2 선택제어 신호는 서로 상반되는 논리상태를 가지며 그 논리상태는 적어도 1/4 수평기간마다 반전된다.
- <49>        상기 디지털-아날로그 변환 어레이는 1수평기간의 첫번째 및 세번째 1/4수평기간에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계 이상 높은 절대치 전압을 가지는 화소전압신호레벨을 이용하여 화소전압신호를 생성하고, 1수평기간의 두번째 및 네번째 1/4수평기간에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨을 이용하여 화소전압신호를 생성한다.



- <50> 본 발명의 액정표시장치의 데이터 구동 방법은 외부로부터 입력된 화소데이터를 시분할하여 공급하는 단계와, 시분할된 화소데이터를 화소전압신호로 변환하는 단계와, 데이터라인들을 시분할하여 화소전압신호를 공급하는 단계를 포함하며, 화소데이터를 화소전압신호로 변환하는 단계에서는 적어도 하나 이상의 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계 이상 높은 절대치전압을 가지는 화소전압신호레벨을 이용하여 화소전압신호를 생성한다.
- <51> 그리고, 1수평기간을 1/2기간단위로 분할하여 화소데이터를 시분할하여 공급한다.
- <52> 상기 1수평기간의 전반부에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압신호레벨을 이용하여 화소전압신호를 생성하고, 1수평기간의 후반부에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨을 이용하여 화소전압신호를 생성한다.
- <53> 그리고, 1수평기간을 1/4기간단위로 분할하여 화소데이터를 시분할하여 공급한다.
- <54> 상기 1수평기간의 첫번째 및 세번째 1/4기간에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압신호레벨을 이용하여 화소전압신호를 생성하고, 1수평기간의 두번째 및 네번째 1/4기간에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨을 이용하여 화소전압신호를 생성한다.
- <55> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

- <56> 이하 도 6 내지 도 10을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <57> 도 6은 본 발명의 실시 예에 따른 액정표시장치의 데이터 드라이브 IC의 구성을 도시한 블록도이고, 도 7a 및 도 7b는 도 6에 도시된 데이터 드라이브 IC에 의한 기수 프레임 및 우수 프레임의 구동 파형도이다.
- <58> 도 6에 도시된 데이터 드라이브 IC는 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(42)와, 샘플링신호에 응답하여 화소데이터(R, G, B)를 래치하여 출력하는 제1 및 제2 래치 어레이(46, 50)와, 제2 래치 어레이(50)로부터의 화소데이터(R, G, B)를 시분할하여 출력하기 위한 제1 MUX 어레이(54)와, 제1 MUX 어레이(54)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 제어하는 제2 MUX 어레이(58)와, 제2 MUX 어레이(58)로부터의 화소데이터(R, G, B)를 화소전압신호로 변환하는 DAC 어레이(62)와, DAC 어레이(62)로부터의 화소전압신호를 완충하여 출력하는 버퍼 어레이(68)와, 버퍼 어레이(68) 출력의 진행경로를 제어하는 제3 MUX 어레이(80)와, 제3 MUX 어레이(80)로부터의 화소전압신호를 데이터라인들(DL1 내지 DL12)에 시분할하여 출력하기 위한 DEMUX 어레이(84)를 구비한다. 또한, 도 6에 도시된 데이터 드라이브 IC는 타이밍 제어부(도시하지 않음)로부터 공급되는 화소데이터(R, G, B)를 중계하는 데이터 레지스터(88)와, DAC 어레이(62)에서 필요로 하는 정극성 및 부극성 감마보상전압들을 공급하는 감마 전압부(90)를 더 구비한다.
- <59> 이러한 구성을 갖는 데이터 드라이브 IC는 제1 MUX 어레이(54)와 DEMUX 어레이(84)를 이용하여 DAC 어레이(62)를 시분할구동함으로써  $n+1$ 개의 DAC(64, 66) 및 버퍼(70)를 이용하여 종래 대비 2배인  $2n$ 개의 데이터라인들을 구동하게 된다. 이렇게 데이터 드라

이브 IC는  $2n$ 개의 데이터라인들을 구동하기 위하여  $2n$ 채널의 데이터출력을 갖으나, 도 4에서는  $n=6$ 이라 가정하여 12채널(D1 내지 D12) 부분만을 도시한다.

<60> 데이터 레지스터(88)는 타이밍 제어부로부터의 화소데이터를 중계하여 제1 래치 어레이(46)로 공급한다. 특히 타이밍 제어부는 전송 주파수 감소를 위해 화소데이터를 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)로 분리하여 각각의 전송라인을 통해 데이터 레지스터(88)로 공급하게 된다. 데이터 레지스터(88)는 입력된 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)를 각각의 전송라인을 통해 제1 래치 어레이(46)로 출력한다. 여기서 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd) 각각은 적(R), 녹(G), 청(B) 화소데이터를 포함한다.

<61> 감마 전압부(90)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

<62> 이를 상세히 설명하면, 감마 기준전압 발생부는 도 3과 같이 64 단계의 전체계조범위에서 10 단계로 나뉘어진 감마기준전압(GMA1 내지 GMA10)을 생성하여 감마전압부(36)로 공급한다. 즉, 감마 기준전압 발생부는 기준전원용 외부전원(1)으로부터 공급되는 공급전압을 분압하여 정극성 감마기준전압(GMA1 내지 GMA5) 및 부극성 감마기준전압(GMA6 내지 GMA10)을 발생한다. 이 감마기준전압(GMA1 내지 GMA10)은 표현하고자 하는 전체계조를 5단계로 나누었을 때 각 단계에 해당하는 감마보상전압이다.

<63> 감마전압부(90)는 도 4와 같이 감마기준전압(GMA1 내지 GMA10)을 분압하여 감마기준전압(GMA1 내지 GMA10) 사이의 세분화된 계조에 각각 대응하는 감마보상전압(VH0, VH1...)을 생성한다. 이를 위하여 감마전압부(90)는 인접한 단계의 감마기

준전압들(GM1 내지 GMA10) 사이, 즉 GMA1과 GMA2사이, GMA2와 GMA3사이,..., GMA9와 GMA10 사이에 각각 15개 또는 16개씩 직렬로 접속된 저항들로 구성된다. 이와 같은 저항들에 의해 감마기준전압(GMA1 내지 GMA10)이 세분화되어 감마보상전압(VH0, VH1,...)이 생성된다.

<64>        쉬프트 레지스터 어레이(42)는 순차적인 샘플링신호를 발생하여 제1 래치 어레이(46)로 공급하고, 이를 위하여  $2n/6$ (여기서,  $n=6$ )개의 쉬프트 레지스터(44)를 구비한다. 도 6에 도시된 첫번째 단의 쉬프트 레지스터(44)는 타이밍 제어부로부터 입력되는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호로 출력함과 동시에 다음단의 쉬프트 레지스터(44)에 캐리신호(CAR)로 공급한다. 소스 스타트 펄스(SSP)는 도 7a 및 도 7b에 도시된 바와 같이 수평기간 단위로 공급되고 소스 샘플링 클럭신호(SSC) 마다 쉬프트되어 샘플링신호로 출력된다.

<65>        제1 래치 어레이(46)는 쉬프트 레지스터 어레이(42)로부터의 샘플링신호에 응답하여 데이터 레지스터(88)로부터의 화소데이터(RGBeven, RGBodd)를 일정단위씩 샘플링하여 래치한다. 제1 래치 어레이(46)는  $2n$ (여기서,  $n=6$ )개의 화소데이터(R, G, B)를 래치하기 위해  $2n$ 개의 제1 래치들(48)로 구성되고, 그 제1 래치들(48) 각각은 화소데이터(R, G, B)의 비트수(3비트 또는 6비트)에 대응하는 크기를 갖는다. 이러한 제1 래치 어레이(46)는 샘플링 신호마다 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd), 즉 6개씩의 화소데이터를 샘플링하여 래치한 다음 동시에 출력한다.

<66>        제2 래치 어레이(50)는 제1 래치 어레이(46)로부터의 화소데이터(R, G, B)를 타이밍 제어부로부터의 소스 출력 이네이블신호(SOE)에 응답하여 동시에 래치한 후 출력한다. 제2 래치 어레이(50)는 제1 래치 어레이(46)와 동일하게  $2n$ (여기서,  $n=6$ )개의

제2 래치들(52)을 구비한다. 소스 출력 이네이블신호(SOE)는 도 7a 및 도 7b에 도시된 바와 같이 수평기간 단위로 발생한다.

<67> 제1 MUX 어레이(54)는 타이밍제어부로부터의 제1 및 제2 선택제어신호( $\Theta 1$ ,  $\Theta 2$ )에 응답하여 제2 래치 어레이(50)로부터의  $2n$ (여기서,  $n=6$ )개 화소데이터를  $H/2$ 기간 단위로  $n$ 개씩 시분할하여 출력한다. 이를 위하여, 제1 MUX 어레이(54)는  $n$ 개의 제1 MUX들(56)로 구성된다. 제1 MUX들(56) 각각은 제2 래치 어레이(50)에서 두개의 제2 래치들(52) 중 어느 하나의 출력을 선택하여 출력한다. 다시 말하여, 제1 MUX들(56) 각각은 두개의 제2 래치들(52)의 출력을  $1/2$  수평기간 단위로 시분할하여 공급한다.

<68> 상세히 하면, 도트 인버전 구동을 위해 기수번째 제1 MUX(56)는 제1 선택제어신호( $\Theta 1$ )에 응답하여 2개의 기수번째 제2 래치들(52)의 출력 중 어느 하나를 선택하여 출력하고, 우수번째 제1 MUX(56)는 제2 선택제어신호( $\Theta 2$ )에 응답하여 2개의 우수번째 제2 래치들(52)의 출력 중 어느 하나를 선택하여 출력한다.

<69> 예를 들면, 첫번째 제1 MUX(56)는 제1 선택제어신호( $\Theta 1$ )에 응답하여 한 수평기간 중 전반부에서 첫번째 제2 래치(52)로부터의 제1 화소데이터를 선택하여 출력하고, 후반부에서 세번째 제2 래치(52)로부터의 제3 화소데이터를 선택하여 출력한다. 두번째 제1 MUX(56)는 제2 선택제어신호( $\Theta 2$ )에 응답하여 한 수평기간 중 전반부에서 두번째 제2 래치(52)로부터의 제2 화소데이터를 선택하여 출력하고, 후반부에서 네번째 제2 래치(52)로부터의 제4 화소데이터를 선택하여 출력한다. 제1 및 제2 선택제어신호( $\Theta 1$ ,  $\Theta 2$ )는 도 7a 및 도 7b에 도시된 바와 같이 서로 상반된 극성을 가지게 되고, 그 극성은 수평기간 단위로 반전된다.

<70> 제2 MUX 어레이(58)는 극성제어부(92)로부터의 극성제어신호(POL)에 응답하여 제1 MUX 어레이(54)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 결정하게 된다. 이를 위하여 제2 MUX 어레이(54)는  $n-1$ 개의 제2 MUX들(60)을 구비한다. 제2 MUX들(60) 각각은 인접한 두개의 제1 MUX(56) 출력을 입력하여 극성제어신호(POL)에 따라 선택적으로 출력하게 된다. 여기서, 첫번째와 마지막번째 제1 MUX들(56)을 제외한 나머지 제1 MUX들(56) 각각의 출력은 인접한 두개의 제2 MUX(60)에 공유되어 입력된다. 첫번째와 마지막번째 제1 MUX들(56)의 출력은 PDAC(66)과 제2 MUX(60)에 공유되어 입력된다. 이러한 구성을 가지는 제2 MUX 어레이(58)는 극성제어신호(POL)에 따라 제1 MUX들(56) 각각으로부터의 화소데이터(R, G, B)가 그대로 DAC 어레이(62)로 진행되게 제어하거나, 한칸씩 오른쪽으로 쉬프트되어 DAC 어레이(62)로 진행되게 제어한다. 도트 인버전 구동을 위하여 극성제어신호(POL)는 도 7a 및 도 7b에 도시된 바와 같이 수평기간마다 극성 반전된다. 결과적으로 제2 MUX 어레이(58)는 제1 MUX 어레이(54)로부터의 화소데이터(R, G, B) 각각이 극성제어신호(POL)에 응답하여 DAC 어레이(62)에 교번배치된 PDAC(64) 또는 NDAC(66)으로 출력되게 함으로써 화소데이터(R, G, B)의 극성을 제어하게 된다.

<71> 예를 들면, 제1 수평기간에서 첫번째 제1 MUX(56)로부터 순차적으로 출력되는 제1 및 제3 화소데이터는 제2 MUX(60)를 경유하지 않고 직접 PDAC1(66)으로 공급되고, 두번째 제1 MUX로(56)부터 순차적으로 출력되는 제2 및 제4 화소데이터는 첫번째 제2 MUX(60)에 의해 NDAC1(64)으로 공급된다. 그리고, 제2 수평기간에서 제1 및 제3 화소데이터는 첫번째 제2 MUX(60)에 의해 NDAC1(64)으로 공급되고, 제2 및 제4 화소데이터는 두번째 제2 MUX(60)에 의해 PDAC2(66)으로 공급된다.

<72> DAC 어레이(62)는 제2 MUX 어레이(58)로부터의 화소데이터들(R, G, B)을 감마전압부(90)로부터의 정극성 및 부극성 감마보상전압( $GH(=VH)$ ,  $GL(=VH)$ )을 이용하여 화소전압신호로 변환하여 출력하게 된다. 즉, DAC 어레이(62)는 제 2MUX 어레이(58)로부터의 입력되는 화소 데이터에 대응하여 정극성 및 부극성 감마보상전압( $GH, GL$ ) 중 어느 하나의 전압을 화소전압신호로 출력하게 된다. 예를 들어, 제 2MUX 어레이(58)로부터 제 1데이터를 입력받은 PDAC2(64)는 도 4에 도시된  $VH_6$ 전압을 화소전압신호로 출력하게 된다.

<73> 이를 위하여, DAC 어레이(62)는  $n+1$ 개의 PDAC(66) 및 NDAC(64)을 구비하고, 도트 인버전 구동을 위해 PDAC(66)과 NDAC(64)이 교번적으로 나란하게 배치된다. PDAC(66)은 제2 MUX 어레이(58)로부터의 화소데이터들(R, G, B)을 정극성 감마보상전압들( $GH$ )을 이용하여 정극성 화소전압신호로 변환한다. NDAC(64)은 제2 MUX 어레이(18)로부터의 화소데이터들(R, G, B)을 부극성 감마보상전압들( $GL$ )을 이용하여 부극성 화소전압신호로 변환한다. 이러한 PDAC(66) 및 NDAC(64)은 1/2 수평기간마다 입력되는 디지털 화소데이터를 아날로그 화소전압신호로 변환하는 동작을 수행하게 된다.

<74> 예를 들면, PDAC1(66)은 도 7a 및 도 7b에 도시된 바와 같이 제1 수평기간에서 시분할되어 입력되는 오드화소 데이터 [1,1]과 [1,3]을 화소전압신호로 변환하여 출력한다. 동시에 NDAC2(64)도 도 5a 및 도 5b에 도시된 바와 같이 그 제1 수평기간 각각에서 시분할되어 입력되는 이븐화소 데이터 [1,2]와 [1,4]를 화소전압신호로 변환하여 출력한다. 그 다음, 제2 수평기간에서 NDAC2(64)은 시분할되어 입력되는 오드화소 데이터 [2,1]와 [2,3]를 화소전압신호로 변환하여 출력한다. 동시에 PDAC2(66)은 그 제2 수평기간에서 시분할되어 입력되는 이븐화소 데이터 [2,2]와 [2,4]를 화소전압신호로 변

환하여 출력한다. 이러한 DAC 어레이(62)에 의해  $2n$ 개의 화소데이터가  $1/2$  수평기간 단위로  $n$ 개씩 시분할되어 화소전압신호로 변환되어 출력된다.

<75> 버퍼 어레이(68)에 포함되는  $n+1$ 개의 버퍼들(70) 각각은 DAC 어레이(62)의 PDAC(66) 및 NDAC(64) 각각으로부터 출력되는 화소전압신호를 신호완충하여 출력한다.

<76> 제3 MUX 어레이(80)는 타이밍 제어부로부터의 극성제어신호(POL)에 응답하여 버퍼 어레이(68)로부터 공급되는 화소전압신호의 진행경로를 결정하게 된다. 이를 위하여, 제3 MUX 어레이(80)는  $n$ 개(여기서,  $n=6$ )의 제3 MUX들(82)을 구비한다. 제3 MUX들(82) 각각은 극성제어신호(POL)에 응답하여 인접한 2개의 버퍼들(70) 중 어느 하나의 출력을 선택하여 출력한다. 여기서, 첫번째 및 마지막번째 버퍼(70)를 제외한 나머지 버퍼들(70)의 출력단은 인접한 2개의 제3 MUX들(82)에 공유되어 입력된다. 이러한 구성을 가지는 제3 MUX 어레이(82)는 극성제어신호(POL)에 응답하여 마지막번째 버퍼(70)를 제외한 버퍼들(70) 각각으로부터의 화소전압신호가 그대로 DEMUX들(86)과 일대일 대응되어 출력되게 한다. 또한, 제3 MUX 어레이(82)는 극성제어신호(POL)에 응답하여 첫번째 버퍼(70)를 제외한 나머지 버퍼들(70) 각각으로부터의 화소전압신호가 DEMUX들(86)과 일대일 대응되어 출력되게 한다. 극성제어신호(POL)는 도트 인버전 구동을 위하여 제2 MUX 어레이(58)에 공급되는 것과 동일하게 도 7a 및 도 7b에 도시된 바와 같이 수평기간마다 극성 반전된다. 이와 같이 제3 MUX 어레이(80)는 제2 MUX 어레이(58)와 함께 극성제어신호(POL)에 응답하여 화소전압신호의 극성을 결정하게 된다. 이 결과 제3 MUX 어레이(80)에서 출력되는 화소전압신호는 인접한 화소전압신호들과 상반된 극성을 갖게 되고, 수평기간 단위로 극성 반전된다.



<77> DEMUX 어레이(84)는 타이밍제어부로부터의 제1 및 제2 선택제어신호( $\Theta 1$ ,  $\Theta 2$ )에 응답하여 제3 MUX 어레이(80)로부터의 화소전압신호를  $2n$ 개(여기서,  $n=6$ )의 데이터라인들에 선택적으로 공급하게 된다. 이를 위하여 DEMUX 어레이(84)는  $n$ 개의 DEMUX(86)를 구비한다. DEMUX(86) 각각은 제3 MUX(82) 각각으로부터 공급되는 화소전압신호를 두개의 데이터라인에 시분할하여 공급한다. 상세히 하면, 기수번째 DEMUX(86)는 제1 선택제어신호( $\Theta 1$ )에 응답하여 기수번째 제3 MUX(82)의 출력을 2개의 기수번째 데이터라인들에 시분할하여 공급한다. 우수번째 DEMUX(86)는 제2 선택제어신호( $\Theta 2$ )에 응답하여 2개의 우수번째 제3 MUX(82)의 출력을 2개의 우수번째 데이터라인들에 시분할하여 공급한다. 제1 및 제2 선택제어신호( $\Theta 1$ ,  $\Theta 2$ )는 도 5a 및 도 5b에 도시된 바와 같이 제1 MUX 어레이(54)에 공급되는 것과 동일하게 서로 상반된 극성을 가지며 수평기간마다 극성 반전된다.

<78> 예를 들면, 첫번째 DEMUX(86)는 도 7a 및 도 7b에 도시된 바와 같이 제1 선택제어신호( $\Theta 1$ )에 응답하여 1/2 수평기간 단위로 첫번째 제3 MUX(82)의 출력을 제1 및 제3 데이터라인(D1, D3)에 선택적으로 공급한다. 두번째 DEMUX(86)도 도 5a 및 도 5b에 도시된 바와 같이 제2 선택제어신호( $\Theta 2$ )에 응답하여 1/2 수평기간 단위로 두번째 제3 MUX(82)의 출력을 제2 및 제4 데이터라인(D2, D4)에 선택적으로 공급한다.

<79> 구체적으로, 첫번째 DEMUX(86)는 제1 선택제어신호( $\Theta 1$ )에 응답하여 제1 게이트라인(GL1)이 활성화되는 제1 수평기간 중 전반부에서 화소전압신호 [1,1]를 제1 데이터라인(D1)에 공급하고, 후반부에서 화소전압신호 [1,3]를 제3 데이터라인(D3)에 공급한다. 이와 동시에, 두번째 DEMUX(86)는 제2 선택제어신호( $\Theta 2$ )에 응답하여 제1 수평기간(H1) 중 전반부에서 화소전압신호 [1,2]를 제2 데이터라인(D2)에 공급하고, 후반부에서 화소

전압신호 [1,4]를 제4 데이터라인(D4)에 공급한다. 그리고, 첫번째 DEMUX(86)는 제2 수평기간(H2)과 제3 수평기간(H3) 각각의 전반부에서 화소전압신호 [2,1], [3,1] 각각을 제1 데이터라인(DL1)에 공급하고, 후반부에서 화소전압신호 [2,3], [3,3] 각각을 제3 데이터라인(DL3)에 공급한다. 이와 동시에, 두번째 DEMUX(86)는 제2 수평기간(H2)과 제3 수평기간(H3) 각각의 전반부에서도 화소전압신호 [2,2], [3,2] 각각을 제2 데이터라인(DL2)에 공급하고, 후반부에서는 화소전압신호 [2,4], [3,4] 각각을 제4 데이터라인(DL4)에 공급한다.

<80> 이러한 구성을 갖는 데이터 드라이브 IC에 의해 DL1, DL3 등과 같은 기수 데이터라인들로 출력되는 화소전압신호와 DL2, DL4 등과 같은 우수 데이터라인들로 출력되는 화소전압신호는 도 7a 및 도 7b에 도시된 바와 같이 서로 상반되는 극성을 갖게 된다. 그리고 그 기수 데이터라인들(DL1, DL3, ...)과 우수 데이터라인들(DL2, DL4, ...)의 극성은 게이트라인들(GL1, GL2, GL3, ...)이 순차적으로 구동되는 1수평주기(1H) 마다 반전됨과 아울러 프레임 단위로 반전된다.

<81> 이상 설명한 바와 같이 본 발명의 실시 예에 따른 데이터 드라이브 IC는 DAC 어레이가 시분할구동됨으로써  $n+1$ 개의 DAC를 이용하여  $2n$  채널의 데이터라인들을 구동할 수 있게 된다. 다시 말하여,  $n+1$ 개의 DAC를 구비하는 데이터 드라이브 IC 각각이  $2n$ 개의 데이터라인들을 구동함으로써 DAC IC 수를 1/2로 줄일 수 있게 된다.

<82> 한편, 본 발명에서는 1수평기간(1H)을 2분할하고, 전반부 및 후반부에 각각 화소전압신호를 공급하기 때문에 액정셀간 화소전압 충전량의 차이가 발생될 염려가 있다. 다시 말하여, 도 8과 같이 1수평기간의 전반부에 화소전압신호를 공급받은 액정셀들은 1수평기간의 후반부에 플로팅된다. 따라서, 액정셀들이 플로팅되는 1수평기간의 후반부동

안 액정셀에 충전된 화소전압신호가 방전되게 된다. 이와 같이, 액정셀의 전반부에 충전된 화소전압신호가 액정셀의 후반부에 방전되게 되면 원하는 전압보다  $\angle V$ 만큼 낮은 전압이 액정셀에 충전되게 되고, 이에 따라 액정패널의 화질이 저하되게 된다.

<83> 이와 같은 문제점을 해결하기 위하여, 본 발명의 DAC 어레이(62)는 제 1MUX 어레이(54) 및/또는 제 2MUX 어레이(58)로부터 공급되는 화소데이터들(R, G, B) 중 1수평주기의 전반부에 출력될 화소데이터들(R, G, B)에 대응하여 원래의 전압보다 높은 절대치를 전압(바람직하게는  $\angle V$ 만큼 높은 전압)을 가지는 정극성 및 부극성 감마보상전압(GH, GL)을 화소전압신호로 출력하게 된다. 이를 상세히 설명하면, DAC 어레이(62)는 제 1MUX 어레이(54) 및/또는 제 2MUX 어레이(58)로부터 화소데이터들(R, G, B)을 공급받는다. 이후, DAC 어레이(62)는 감마 전압부(90)로부터 입력된 화소전압신호들 중 화소데이터(R, G, B)에 대응하는 화소전압신호를 출력하게 된다. 이때, DAC 어레이(62)는 다수의 레벨을 가지는 화소전압신호들 중 원래 화소데이터(R, G, B)에 대응하는 화소전압신호보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압신호를 출력하게 된다. 예를 들어, 제 1데이터를 입력받는 PDAC(64)로부터 원래 출력된 화소전압신호가 도 4에 도시된 VH6전압이라면, 본 발명에서의 PDAC(64)는 VH6보다 적어도 한 단계이상 높은 절대치 전압레벨을 가지는 화소전압신호(VH5, VH4, ...)를 화소전압신호로 출력하게 된다.

<84> 한편, 본 발명의 DAC 어레이(62)에는 1수평주기의 전반부에 출력될 화소데이터들(R, G, B)을 선별할 수 있도록 도 6에 도시된 바와 같이 선택제어신호( $\theta 1, \theta 2$ )가 추가로 입력되게 된다. 즉, DAC 어레이(62)는 선택제어신호( $\theta 1, \theta 2$ )를 이용하여 1수평주기의 전반부에 출력된 화소 데이터(R, G, B)를 선별하고, 이 화소 데이터에 대응하여 원래

의 화소전압신호보다 적어도 한 단계이상 높은 절대치 절압을 가지는 화소전압신호를 출력함으로써 액정셀간 화소전압 충전량차를 보상할 수 있다.

<85> 한편, 본 발명에서는 액정셀간 화소전압 충전량차를 보상할 수 있도록 1수평주기를 4분할하여 구동할 수 있다. 이와 같은 4분할 구동과정을 도 6, 도 9a 및 도 9b를 참조하여 설명하기로 한다.

<86> 도 9a 및 도 9b는 도 6에 도시된 데이터 드라이브 집적회로에 의한 기수 프레임 및 우수 프레임의 구동과형도이다.

<87> 도 6에 도시된 데이터 드라이브 IC는 순차적인 샘플링신호를 공급하는 쉬프트 레지스터 어레이(42)와, 샘플링신호에 응답하여 화소데이터(R, G, B)를 래치하여 출력하는 제1 및 제2 래치 어레이(46, 50)와, 제2 래치 어레이(50)로부터의 화소데이터(R, G, B)를 시분할하여 출력하기 위한 제1 MUX 어레이(54)와, 제1 MUX 어레이(54)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 제어하는 제2 MUX 어레이(58)와, 제2 MUX 어레이(58)로부터의 화소데이터(R, G, B)를 화소전압신호로 변환하는 DAC 어레이(62)와, DAC 어레이(62)로부터의 화소전압신호를 완충하여 출력하는 버퍼 어레이(68)와, 버퍼 어레이(68) 출력의 진행경로를 제어하는 제3 MUX 어레이(80)와, 제3 MUX 어레이(80)로부터의 화소전압신호를 데이터라인들(D1 내지 D12)에 시분할하여 출력하기 위한 DEMUX 어레이(84)를 구비한다. 또한, 도 6에 도시된 데이터 드라이브 IC는 타이밍 제어부(도시하지 않음)로부터 공급되는 화소데이터(R, G, B)를 중계하는 데이터 레지스터(88)와, DAC 어레이(62)에서 필요로 하는 정극성 및 부극성 감마전압들을 공급하는 감마 전압부(90)를 더 구비한다.

<88> 데이터 레지스터(88)는 타이밍 제어부로부터의 화소데이터를 중계하여 제1 래치 어레이(46)로 공급한다. 특히 타이밍 제어부는 전송 주파수 감소를 위해 화소데이터를 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)로 분리하여 각각의 전송라인을 통해 데이터 레지스터(88)로 공급하게 된다. 데이터 레지스터(88)는 입력된 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd)를 각각의 전송라인을 통해 제1 래치 어레이(46)로 출력한다. 여기서 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd) 각각은 적(R), 녹(G), 청(B) 화소데이터를 포함한다.

<89> 감마 전압부(90)는 감마 기준전압 발생부(도시하지 않음)로부터 입력되는 다수개의 감마 기준전압을 그레이별로 세분화하여 출력한다.

<90> 이를 상세히 설명하면, 감마 기준전압 발생부는 도 3과 같이 64 단계의 전체계조범위에서 10 단계로 나뉘어진 감마기준전압(GMA1 내지 GMA10)을 생성하여 감마전압부(36)로 공급한다. 즉, 감마 기준전압 발생부는 기준전원용 외부전원(1)으로부터 공급되는 공급전압을 분압하여 정극성 감마기준전압(GMA1 내지 GMA5) 및 부극성 감마기준전압(GMA6 내지 GMA10)을 발생한다. 이 감마기준전압(GMA1 내지 GMA10)은 표현하고자 하는 전체계조를 5단계로 나누었을 때 각 단계에 해당하는 감마보상전압이다.

<91> 감마전압부(90)는 도 4와 같이 감마기준전압(GMA1 내지 GMA10)을 분압하여 감마기준전압(GMA1 내지 GMA10) 사이의 세분화된 계조에 각각 대응하는 감마보상전압(VH0, VH1...)을 생성한다. 이를 위하여 감마전압부(90)는 인접한 단계의 감마기준전압들(GMA1 내지 GMA10) 사이, 즉 GMA1과 GMA2사이, GMA2와 GMA3사이, ..., GMA9와 GMA10 사이에 각각 15개 또는 16개씩 직렬로 접속된 저항들로 구성된다. 이와 같은 저항들에 의

해 감마기준전압(GMA1 내지 GMA10)이 세분화되어 감마보상전압(VH0, VH1, ...)이 생성된다.

<92>        쉬프트 레지스터 어레이(42)는 순차적인 샘플링신호를 발생하여 제1 래치 어레이(46)로 공급하고, 이를 위하여  $2n/6$ (여기서,  $n=6$ )개의 쉬프트 레지스터(44)를 구비한다. 도 6에 도시된 첫번째 단의 쉬프트 레지스터(44)는 타이밍 제어부로부터 입력되는 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호로 출력함과 동시에 다음단의 쉬프트 레지스터(44)에 캐리신호(CAR)로 공급한다. 소스 스타트 펄스(SSP)는 도 9a 및 도 9b에 도시된 바와 같이 수평기간 단위로 공급되고 소스 샘플링 클럭신호(SSC) 마다 쉬프트되어 샘플링신호로 출력된다.

<93>        제1 래치 어레이(46)는 쉬프트 레지스터 어레이(42)로부터의 샘플링신호에 응답하여 데이터 레지스터(88)로부터의 화소데이터(RGBeven, RGBodd)를 일정단위씩 샘플링하여 래치한다. 제1 래치 어레이(46)는  $2n$ (여기서,  $n=6$ )개의 화소데이터(R, G, B)를 래치하기 위해  $2n$ 개의 제1 래치들(48)로 구성되고, 그 제1 래치들(48) 각각은 화소데이터(R, G, B)의 비트수(3비트 또는 6비트)에 대응하는 크기를 갖는다. 이러한 제1 래치 어레이(46)는 샘플링 신호마다 우수 화소데이터(RGBeven)와 기수 화소데이터(RGBodd), 즉 6개씩의 화소데이터를 샘플링하여 래치한 다음 동시에 출력한다.

<94>        제2 래치 어레이(50)는 제1 래치 어레이(46)로부터의 화소데이터(R, G, B)를 타이밍 제어부로부터의 소스 출력 이네이블신호(SOE)에 응답하여 동시에 래치한 후 출력한다. 제2 래치 어레이(50)는 제1 래치 어레이(46)와 동일하게  $2n$ (여기서,  $n=6$ )개의 제2 래치들(52)을 구비한다. 소스 출력 이네이블신호(SOE)는 도 9a 및 도 9b에 도시된 바와 같이 수평기간 단위로 발생한다.

<95> 제1 MUX 어레이(54)는 타이밍제어부로부터의 제1 및 제2 선택제어신호( $\Theta 1$ ,  $\Theta 2$ )에 응답하여 제2 래치 어레이(50)로부터의  $2n$ (여기서,  $n=6$ )개 화소데이터를  $H/4$ 기간 단위로  $n$ 개씩 시분할하여 출력한다. 이를 위하여, 제1 MUX 어레이(54)는  $n$ 개의 제1 MUX들(56)로 구성된다. 제1 MUX들(56) 각각은 제2 래치 어레이(50)에서 두개의 제2 래치들(52) 중 어느 하나의 출력을 선택하여 출력한다. 다시 말하여, 제1 MUX들(56) 각각은 두개의 제2 래치들(52)의 출력을  $1/4$  수평기간 단위로 시분할하여 공급한다.

<96> 상세히 하면, 도트 인버전 구동을 위해 기수번째 제1 MUX(56)는 제1 선택제어신호( $\Theta 1$ )에 응답하여 2개의 기수번째 제2 래치들(52)의 출력 중 어느 하나를 선택하여 출력하고, 우수번째 제1 MUX(56)는 제2 선택제어신호( $\Theta 2$ )에 응답하여 2개의 우수번째 제2 래치들(52)의 출력 중 어느 하나를 선택하여 출력한다. 여기서, 제 1선택제어신호( $\Theta 1$ )는  $1/2$  수평기간의 주기를 갖는다 또한, 제 2선택제어신호( $\Theta 2$ )는  $1/2$  수평기간의 주기를 가짐과 아울러 제 1선택제어신호( $\Theta 1$ )와 서로 다른 극성을 가지도록 공급된다. 따라서, 1 수평기간은  $1/4$  기간씩 나뉘어 구동되게 된다.

<97> 예를 들면, 첫번째 제1 MUX(56)는 제1 선택제어신호( $\Theta 1$ )에 응답하여 한 수평기간 중 첫번째  $1/4$  수평기간( $0 \sim 1/4$ ) 및 세번째  $1/4$  수평기간( $2/4 \sim 3/4$ )에서 제 2래치(52)로부터의 제 1화소데이터를 선택하여 출력하고, 두번째  $1/4$  수평기간( $1/4 \sim 2/4$ ) 및 네번째  $1/4$  수평기간( $3/4 \sim 4/4$ )에서 제 3화소데이터를 선택하여 출력한다. 두번째 제 1MUX(56)는 제 2선택제어신호( $\Theta 2$ )에 응답하여 첫번째  $1/4$ 수평기간( $0 \sim 1/4$ ) 및 세번째  $1/4$  수평기간( $2/4 \sim 3/4$ )에서 제 2화소데이터를 선택하여 출력하고, 두번째  $1/4$  수평기간( $1/4 \sim 2/4$ ) 및 네번째  $1/4$ 수평기간( $3/4 \sim 4/4$ )에서 제 4화소데이터를 선택하여 출력한다.

<98> 제2 MUX 어레이(58)는 극성제어신호(POL)에 응답하여 제1 MUX 어레이(54)로부터 공급되는 화소데이터(R, G, B)의 진행경로를 결정하게 된다. 이를 위하여 제2 MUX 어레이(54)는  $n-1$ 개의 제2 MUX들(60)을 구비한다. 제2 MUX들(60) 각각은 인접한 두개의 제1 MUX(56) 출력을 입력하여 극성제어신호(POL)에 따라 선택적으로 출력하게 된다. 여기서, 첫번째와 마지막번째 제1 MUX들(56)을 제외한 나머지 제1 MUX들(56) 각각의 출력은 인접한 두개의 제2 MUX(60)에 공유되어 입력된다. 첫번째와 마지막번째 제1 MUX들(56)의 출력은 PDAC(66)과 제2 MUX(60)에 공유되어 입력된다. 이러한 구성을 가지는 제2 MUX 어레이(58)는 극성제어신호(POL)에 따라 제1 MUX들(56) 각각으로부터의 화소데이터(R, G, B)가 그대로 DAC 어레이(62)로 진행되게 제어하거나, 한칸씩 오른쪽으로 쉬프트되어 DAC 어레이(62)로 진행되게 제어한다. 도트 인버전 구동을 위하여 극성제어신호(POL)는 도 5a 및 도 5b에 도시된 바와 같이 수평기간마다 극성 반전된다. 결과적으로 제2 MUX 어레이(58)는 제1 MUX 어레이(54)로부터의 화소데이터(R, G, B) 각각이 극성제어신호(POL)에 응답하여 DAC 어레이(62)에 교번배치된 PDAC(64) 또는 NDAC(66)으로 출력되게 함으로써 화소데이터(R, G, B)의 극성을 제어하게 된다.

<99> 예를 들면, 제1 수평기간에서 첫번째 제1 MUX(56)로부터 순차적으로 출력되는 제1 및 제3 화소데이터는 제2 MUX(60)를 경유하지 않고 직접 PDAC1(66)으로 공급되고, 두번째 제1 MUX로(56)부터 순차적으로 출력되는 제2 및 제4 화소데이터는 첫번째 제2 MUX(60)에 의해 NDAC1(64)으로 공급된다. 그리고, 제2 수평기간에서 제1 및 제3 화소데이터는 첫번째 제2 MUX(60)에 의해 NDAC1(64)으로 공급되고, 제2 및 제4 화소데이터는 두번째 제2 MUX(60)에 의해 PDAC2(66)으로 공급된다.



<100> DAC 어레이(62)는 제2 MUX 어레이(58)로부터의 화소데이터들(R, G, B)을 감마전압부(90)로부터의 정극성 및 부극성 감마보상전압( $GH(=VH)$ ,  $GL(=VH)$ )을 이용하여 화소전압신호로 변환하여 출력하게 된다. 즉, DAC 어레이(62)는 제 2MUX 어레이(58)로부터의 입력되는 화소 데이터에 대응하여 정극성 및 부극성 감마보상전압( $GH, GL$ ) 중 어느 하나의 전압을 화소전압신호로 출력하게 된다. 예를 들어, 제 2MUX 어레이(58)로부터 제 1데이터를 입력받은 PDAC2(64)는 도 4에 도시된  $VH_6$ 전압을 화소전압신호로 출력하게 된다.

<101> 이를 위하여, DAC 어레이(62)는  $n+1$ 개의 PDAC(66) 및 NDAC(64)을 구비하고, 도트 인버전 구동을 위해 PDAC(66)과 NDAC(64)이 교번적으로 나란하게 배치된다. PDAC(66)은 제2 MUX 어레이(58)로부터의 화소데이터들(R, G, B)을 정극성 감마보상전압들( $GH$ )을 이용하여 정극성 화소전압신호로 변환한다. NDAC(64)은 제2 MUX 어레이(18)로부터의 화소데이터들(R, G, B)을 부극성 감마보상전압들( $GL$ )을 이용하여 부극성 화소전압신호로 변환한다. 이러한 PDAC(66) 및 NDAC(64)은  $1/4$  수평기간마다 입력되는 디지털 화소데이터를 아날로그 화소전압신호로 변환하는 동작을 수행하게 된다.

<102> 버퍼 어레이(68)에 포함되는  $n+1$ 개의 버퍼들(70) 각각은 DAC 어레이(62)의 PDAC(66) 및 NDAC(64) 각각으로부터 출력되는 화소전압신호를 신호완충하여 출력한다.

<103> 제3 MUX 어레이(80)는 타이밍 제어부로부터의 극성제어신호(POL)에 응답하여 버퍼 어레이(68)로부터 공급되는 화소전압신호의 진행경로를 결정하게 된다. 이를 위하여, 제3 MUX 어레이(80)는  $n$ 개(여기서,  $n=6$ )의 제3 MUX들(82)을 구비한다. 제3 MUX들(82) 각각은 극성제어신호(POL)에 응답하여 인접한 2개의 버퍼들(70) 중 어느 하나의 출력을 선택하여 출력한다. 여기서, 첫번째 및 마지막번째 버퍼(70)를 제외한 나머지 버퍼들(70)의 출력단은 인접한 2개의 제3 MUX들(82)에 공유되어 입력된다. 이러한 구성을 가

지는 제3 MUX 어레이(82)는 극성제어신호(POL)에 응답하여 마지막번째 버퍼(70)를 제외한 버퍼들(70) 각각으로부터의 화소전압신호가 그대로 DEMUX들(86)과 일대일 대응되어 출력되게 한다. 또한, 제3 MUX 어레이(82)는 극성제어신호(POL)에 응답하여 첫번째 버퍼(70)를 제외한 나머지 버퍼들(70) 각각으로부터의 화소전압신호가 DEMUX들(86)과 일대일 대응되어 출력되게 한다. 극성제어신호(POL)는 도트 인버전 구동을 위하여 제2 MUX 어레이(58)에 공급되는 것과 동일하게 도 9a 및 도 9b에 도시된 바와 같이 수평기간마다 극성 반전된다. 이와 같이 제3 MUX 어레이(80)는 제2 MUX 어레이(58)와 함께 극성제어신호(POL)에 응답하여 화소전압신호의 극성을 결정하게 된다. 이 결과 제3 MUX 어레이(80)에서 출력되는 화소전압신호는 인접한 화소전압신호들과 상반된 극성을 갖게 되고, 수평기간 단위로 극성 반전된다.

<104> DEMUX 어레이(84)는 타이밍제어부로부터의 제1 및 제2 선택제어신호( $\theta 1$ ,  $\theta 2$ )에 응답하여 제3 MUX 어레이(80)로부터의 화소전압신호를  $2n$ 개(여기서,  $n=6$ )의 데이터라인들에 선택적으로 공급하게 된다. 이를 위하여 DEMUX 어레이(84)는  $n$ 개의 DEMUX(86)를 구비한다. DEMUX(86) 각각은 제3 MUX(82) 각각으로부터 공급되는 화소전압신호를 두개의 데이터라인에 시분할하여 공급한다. 상세히 하면, 기수번째 DEMUX(86)는 제1 선택제어신호( $\theta 1$ )에 응답하여 기수번째 제3 MUX(82)의 출력을 2개의 기수번째 데이터라인들에 시분할하여 공급한다. 우수번째 DEMUX(86)는 제2 선택제어신호( $\theta 2$ )에 응답하여 2개의 우수번째 제3 MUX(82)의 출력을 2개의 우수번째 데이터라인들에 시분할하여 공급한다. 제1 및 제2 선택제어신호( $\theta 1$ ,  $\theta 2$ )는 도 9a 및 도 9b에 도시된 바와 같이 제1 MUX 어레이(54)에 공급되는 것과 동일하게  $1/4$  수평기간의 주기를 가짐과 아울러 서로 상반된 극성을 갖는다.

<105> 예를 들면, 첫번째 DEMUX(86)는 도 5a 및 도 5b에 도시된 바와 같이 제1 선택제어 신호( $\Theta 1$ )에 응답하여 1/4 수평기간 단위로 첫번째 제 3MUX(82)의 출력을 제 1 및 제 3 데이터라인(D1,D3)에 선택적으로 공급한다. 두번째 DEMUX(86)도 도 9a 및 도 9b에 도시된 바와 같이 제 2선택제어신호( $\Theta 2$ )에 응답하여 1/4 수평기간 단위로 제 2 및 제 4데이터라인(D2,D4)에 선택적으로 공급한다.

<106> 구체적으로, 첫번째 DEMUX(86)는 제1 선택제어신호( $\Theta 1$ )에 응답하여 제1 게이트라인(GL1)이 활성화되는 제1 수평기간 중 첫번째 1/4 수평기간(0~1/4) 및 세번째 1/4 수평기간(2/4~3/4) 동안 화소전압신호[1,1]를 제 1데이터라인(D1)에 공급하고, 두번째 1/4수평기간(1/4~2/4) 및 네번째 1/4수평기간(3/4~4/4) 동안 화소전압신호[1,3]를 제 3데이터라인(D3)에 공급한다. 이와 동시에, 두번째 DEMUX(86)는 제 2선택제어신호( $\Theta 2$ )에 응답하여 제1 수평기간 중 첫번째 1/4 수평기간(0~1/4) 및 세번째 1/4 수평기간(2/4~3/4) 동안 화소전압신호[1,2]를 제 2데이터라인(D2)에 공급하고, 두번째 1/4수평기간(1/4~2/4) 및 네번째 1/4수평기간(3/4~4/4) 동안 화소전압신호[1,4]를 제 4데이터라인(D3)에 공급한다.

<107> 그리고, 첫번째 DEMUX(86)는 제 2수평기간(H2)과 제 3수평기간(H3)중 첫번째 1/4 수평기간(0~1/4) 및 세번째 1/4 수평기간(2/4~3/4)동안 화소전압신호 [2,1], [3,1] 각각을 제 1데이터라인(DL1)에 공급하고, 두번째 1/4수평기간(1/4~2/4) 및 네번째 1/4수평기간(3/4~4/4)동안 화소전압신호 [2,3], [3,3] 각각을 제 3데이터라인(DL3)에 공급한다. 이와 동시에, 두번째 DEMUX(86)는 제 2수평기간(H2)과 제 3수평기간(H3)중 첫번째 1/4 수평기간(0~1/4) 및 세번째 1/4 수평기간(2/4~3/4)동안 화소전압신호 [2,2], [3,2] 각각

을 제 1데이터라인(DL1)에 공급하고, 두번째 1/4수평기간(1/4~2/4) 및 네번째 1/4수평기간(3/4~4/4)동안 화소전압신호 [2,4], [3,4] 각각을 제 3데이터라인(DL3)에 공급한다.

<108> 이러한 구성을 갖는 데이터 드라이브 IC에 의해 DL1,DL3 등과 같은 기수 데이터라인들로 출력되는 화소전압신호와 DL2, DL4 등과 같은 우수 데이터라인들로 출력되는 화소전압신호는 도 9a 및 도 9b에 도시된 바와 같이 서로 상반된 극성을 갖게 된다. 그리고, 그 기수 데이터라인들(DL1, DL3, ...)과 우수 데이터라인들(DL2,DL4,...)의 극성은 1수평주기(1H) 마다 반전됨과 아울러 프레임 단위로 반전된다. 즉, 본 발명의 다른 실시예에서는 1 수평기간이 4분할되어 첫번째 및 세번째 1/4기간에 화소전압신호가 공급되거나, 두번째 및 네번째 1/4기간에 화소전압신호가 공급된다.

<109> 한편, 본 발명의 다른 실시예에서는 1수평기간(1H)을 4분할하고, 첫번째 및 세번째 1/4수평기간과 두번째 및 네번째 1/4수평기간에 각각 화소전압신호를 공급하기 때문에 액정셀간 화소전압 충전량의 차이가 발생될 염려가 있다. 다시 말하여, 도 10과 같이 1 수평기간의 첫번째 및 세번째 1/4수평기간 동안 화소전압을 공급받는 액정셀들은 두번째 및 네번째 1/4수평기간 동안 플로팅된다. 따라서, 액정셀들이 플로팅되는 두번째 및 네번째 1/4수평기간동안 액정셀에 충전된 화소전압신호가 방전되게 된다. 이와 같이, 액정셀에 두번째 및 네번째 1/4수평기간동안 액정셀에 충전된 화소전압이 방전되게 되면 원하는 전압보다  $\Delta V_1$ 만큼 낮은 전압이 액정셀에 충전되게 되고, 이에 따라 액정패널의 화질이 저하되게 된다.

<110> 이와 같은 문제점을 해결하기 위하여, 본 발명의 DAC 어레이(62)는 제 1MUX 어레이(54) 및/또는 제 2MUX 어레이(58)로부터 공급되는 화소데이터들(R, G, B) 중 첫번째 및 세번째 1/4수평기간에 출력될 화소데이터들(R, G, B)에 대응하여 원래의 전압보다 높은

절대치를 전압(바람직하게는  $\angle V1$ 만큼 높은 전압)을 가지는 정극성 및 부극성 감마보상 전압(GH, GL)을 화소전압신호로 출력하게 된다. 이를 상세히 설명하면, DAC 어레이(62)는 제 1MUX 어레이(54) 및/또는 제 2MUX 어레이(58)로부터 화소데이터들(R, G, B)을 공급받는다. 이후, DAC 어레이(62)는 감마 전압부(90)로부터 입력된 화소전압신호들 중 화소데이터(R, G, B)에 대응하는 화소전압전압신호를 출력하게 된다. 이때, DAC 어레이(62)는 다수의 레벨을 가지는 화소전압신호들 중 원래 화소데이터(R, G, B)에 대응하는 화소전압신호보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압신호를 출력하게 된다. 예를 들어, 제 1데이터를 입력받는 PDAC(64)로부터 원래 출력된 화소전압신호가 도 4에 도시된 VH6전압이라면, 본 발명에서의 PDAC(64)는 VH6보다 적어도 한 단계 이상 높은 절대치 전압레벨을 가지는 화소전압신호(VH5, VH4, ...)를 화소전압신호로 출력하게 된다.

<111> 한편, 본 발명의 DAC 어레이(62)에는 1수평주기의 첫번째 및 세번째 1/4수평기간에 출력될 화소데이터들(R, G, B)을 선별할 수 있도록 도 6에 도시된 바와 같이 선택제어 신호( $\Theta 1, \Theta 2$ )가 추가로 입력되게 된다. 즉, DAC 어레이(62)는 선택제어신호( $\Theta 1, \Theta 2$ )를 이용하여 1수평주기의 첫번째 및 세번째 1/4수평기간에 출력된 화소 데이터(R, G, B)를 선별하고, 이 화소 데이터에 대응하여 원래의 화소전압신호보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압신호를 출력함으로써 액정셀간 화소전압 충전량차를 보상할 수 있다.

**【발명의 효과】**

- <112> 상술한 바와 같이, 본 발명에 따른 액정표시장치의 데이터 구동 장치 및 방법에서는 DAC부를 시분할구동함으로써  $n+1$ 개의 DAC를 이용하여 적어도  $2n$ 개의 데이터라인들을 구동할 수 있게 된다. 이에 따라, 본 발명에 따른 액정표시장치의 데이터 구동 장치 및 방법에 의하면 데이터 드라이브 IC의 수를 종래대비 절반으로 줄일 수 있게 되므로 제조 단가를 절감할 수 있게 된다.
- <113> 또한, 본 발명에 따른 액정표시장치의 데이터 구동장치 및 방법에서는 화소데이터에 대응하여 원래의 전압레벨보다 높은 전압레벨을 가지는 화소전압신호를 공함으로써 액정셀간 충전량의 차이를 보상할 수 있다.
- <114> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

입력된 화소데이터를 시분할하여 공급하기 위한 제1 멀티플렉서 어레이와;

시분할된 화소데이터를 화소전압신호로 변환하기 위한 디지털-아날로그 변환 어레이와;

데이터라인들을 시분할하여 상기 화소전압신호를 공급하기 위한 디멀티플렉서 어레이를 구비하며;

상기 디지털-아날로그 변환 어레이는 외부로부터 입력되는 다수의 화소전압신호레벨을 입력받고, 적어도 하나 이상의 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계 이상 높은 절대치전압을 가지는 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**【청구항 2】**

제 1 항에 있어서,

샘플링신호를 순차적으로 발생하기 위한 쉬프트 레지스터 어레이와,

상기 샘플링신호에 응답하여 상기 화소데이터를 소정단위씩 순차적으로 래치하여 상기 제1 멀티플렉서 어레이로 동시에 출력하기 위한 래치 어레이와,

상기 화소전압신호를 버퍼링하여 상기 디멀티플렉서 어레이로 공급하기 위한 버퍼 어레이를 추가로 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**【청구항 3】**

제 1 항에 있어서,

상기 제1 멀티플렉서 어레이는 적어도  $n$  ( $n$ 은 양의 정수)개의 멀티플렉서를 구비하여 다수개의 입력 화소데이터를 시분할하여 공급하고,

상기 디지털-아날로그 변환 어레이는 상기 시분할된 화소데이터를 화소전압신호로 변환하고,

상기 디멀티플렉서 어레이는 적어도  $n$ 개의 디멀티플렉서를 구비하여 다수개의 데이터라인들로 상기 화소전압신호들을 공급하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

#### 【청구항 4】

제 3 항에 있어서,

상기 디지털-아날로그 변환 어레이는

상기 시분할된 화소데이터를 화소전압신호로 변환하기 위한 적어도  $n+1$ 개의 정극성 및 부극성 디지털-아날로그 변환기를 구비하고,

상기 정극성 디지털-아날로그 변환기와 부극성 디지털-아날로그 변환기는 교번하여 배치된 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

#### 【청구항 5】

제 4 항에 있어서,

입력 극성제어신호에 응답하여 상기 시분할된 화소데이터의 진행경로를 결정하여 상기 적어도  $n+1$ 개의 정극성 및 부극성 디지털-아날로그 변환기 중 적어도  $n$ 개의 정극성 및 부극성 디지털-아날로그 변환기로 상기 시분할된 화소데이터가 입력되게 하는 제2 멀티플렉서 어레이와,



상기 극성제어신호에 응답하여 상기 화소전압신호의 진행경로를 결정하여 상기 디멀티플렉서 어레이로 입력되게 하는 제3 멀티플렉서 어레이를 구비하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

#### 【청구항 6】

제 5 항에 있어서,

상기 제2 멀티플렉서 어레이는 적어도 2개의 상기 제1 멀티플렉서들의 출력 중 어느 하나를 선택하기 위한 적어도  $n-1$ 개의 제2 멀티플렉서들을 구비하고,

상기 제3 멀티플렉서 어레이는 적어도 2개의 상기 디지털-아날로그 변환기의 출력 중 어느 하나를 선택하기 위한 적어도  $n$ 개의 제3 멀티플렉서들을 구비하고,

상기 제1 멀티플렉서들 각각의 출력은 상기 적어도 2개의 제2 멀티플렉서들의 입력으로 공유되며,

상기 디지털-아날로그 변환기 각각의 출력은 상기 적어도 2개의 제3 멀티플렉서들의 입력으로 공유되는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

#### 【청구항 7】

제 3 항에 있어서,

상기 적어도  $n$ 개의 제1 멀티플렉서들 중 기수번째 멀티플렉서는 입력 제1 선택제어신호에 응답하여 기수번째 화소데이터들을, 우수번째 멀티플렉서는 입력 제2 선택제어신호에 응답하여 우수번째 화소데이터들을 시분할하여 출력하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**【청구항 8】**

제 7 항에 있어서,

상기 적어도 n개의 디멀티플렉서들 중 기수번째 디멀티플렉서는 상기 제1 선택제어 신호에 응답하여 기수번째 데이터라인들을, 우수번째 디멀티플렉서는 상기 제2 선택제어 신호에 응답하여 우수번째 데이터라인들을 시분할 구동하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**【청구항 9】**

제 8 항에 있어서,

상기 제1 및 제2 선택제어신호는 서로 상반되는 논리상태를 가지며 그 논리상태는 적어도 1/2 수평기간마다 반전되는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**【청구항 10】**

제 9 항에 있어서,

상기 디지털-아날로그 변환 어레이는 1수평기간의 전반부에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성하고,

1수평기간의 후반부에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**【청구항 11】**

제 8 항에 있어서,

상기 제1 및 제2 선택제어신호는 서로 상반되는 논리상태를 가지며 그 논리상태는 적어도 1/4 수평기간마다 반전되는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**【청구항 12】**

제 11 항에 있어서,

상기 디지털-아날로그 변환 어레이는 1수평기간의 첫번째 및 세번째 1/4수평기간에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계 이상 높은 절대치 전압을 가지는 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성하고

상기 1수평기간의 두번째 및 네번째 1/4수평기간에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 구동 장치.

**【청구항 13】**

외부로부터 입력된 화소데이터를 시분할하여 공급하는 단계와,

상기 시분할된 화소데이터를 화소전압신호로 변환하는 단계와,

데이터라인들을 시분할하여 상기 화소전압신호를 공급하는 단계를 포함하며,

상기 화소데이터를 화소전압신호로 변환하는 단계에서는 적어도 하나 이상의 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계 이상 높은 절대치전압

을 가지는 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

**【청구항 14】**

제 13항에 있어서,

1수평기간을 1/2기간단위로 분할하여 상기 화소데이터를 시분할하여 공급하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

**【청구항 15】**

제 14항에 있어서,

상기 1수평기간의 전반부에 출력되는 화소데이터에 대응하여 원래의 화소전압신호 레벨보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성하고,

상기 1수평기간의 후반부에 출력되는 화소데이터에 대응하여 원래의 화소전압신호 레벨을 이용하여 상기 화소전압신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

**【청구항 16】**

제 13항에 있어서,

1수평기간을 1/4기간단위로 분할하여 상기 화소데이터를 시분할하여 공급하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

**【청구항 17】**

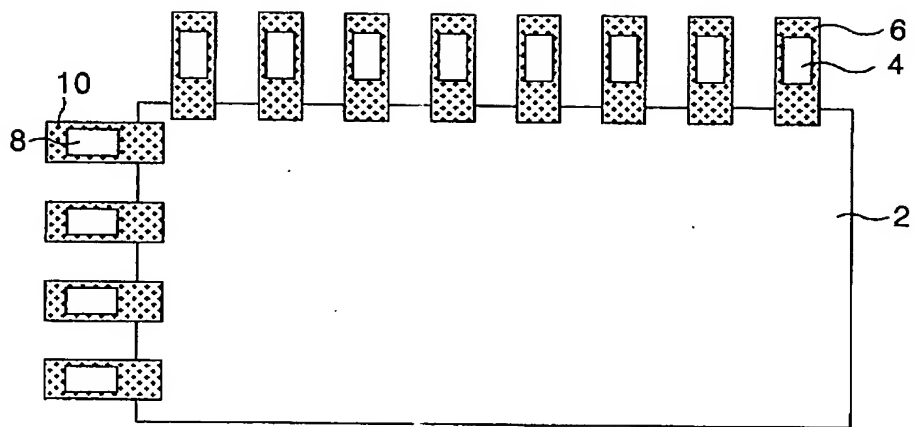
제 16항에 있어서,

상기 1수평기간의 첫번째 및 세번째 1/4기간에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨보다 적어도 한 단계이상 높은 절대치 전압을 가지는 화소전압 신호레벨을 이용하여 상기 화소전압신호를 생성하고,

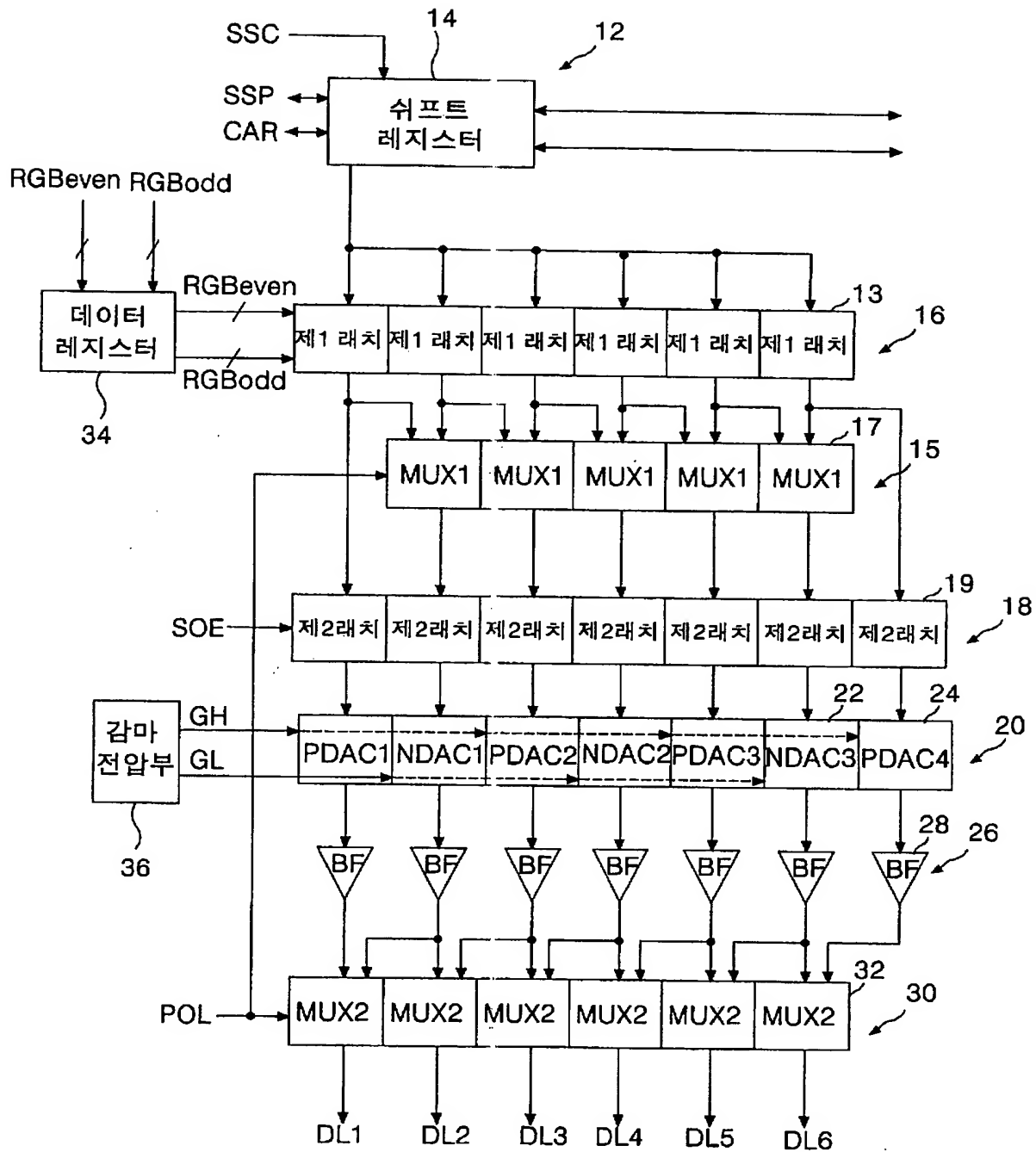
상기 1수평기간의 두번째 및 네번째 1/4기간에 출력되는 화소데이터에 대응하여 원래의 화소전압신호레벨을 이용하여 상기 화소전압신호를 생성하는 것을 특징으로 하는 액정표시장치의 데이터 구동 방법.

【도면】

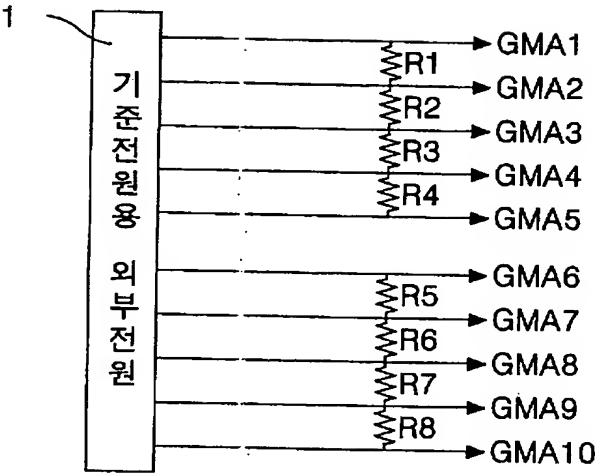
【도 1】



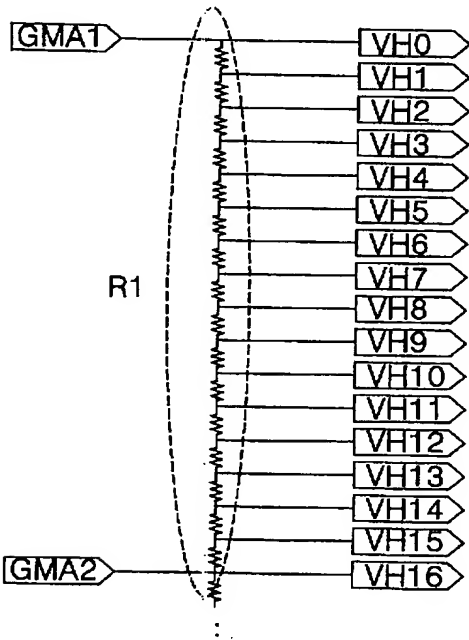
【도 2】



【도 3】

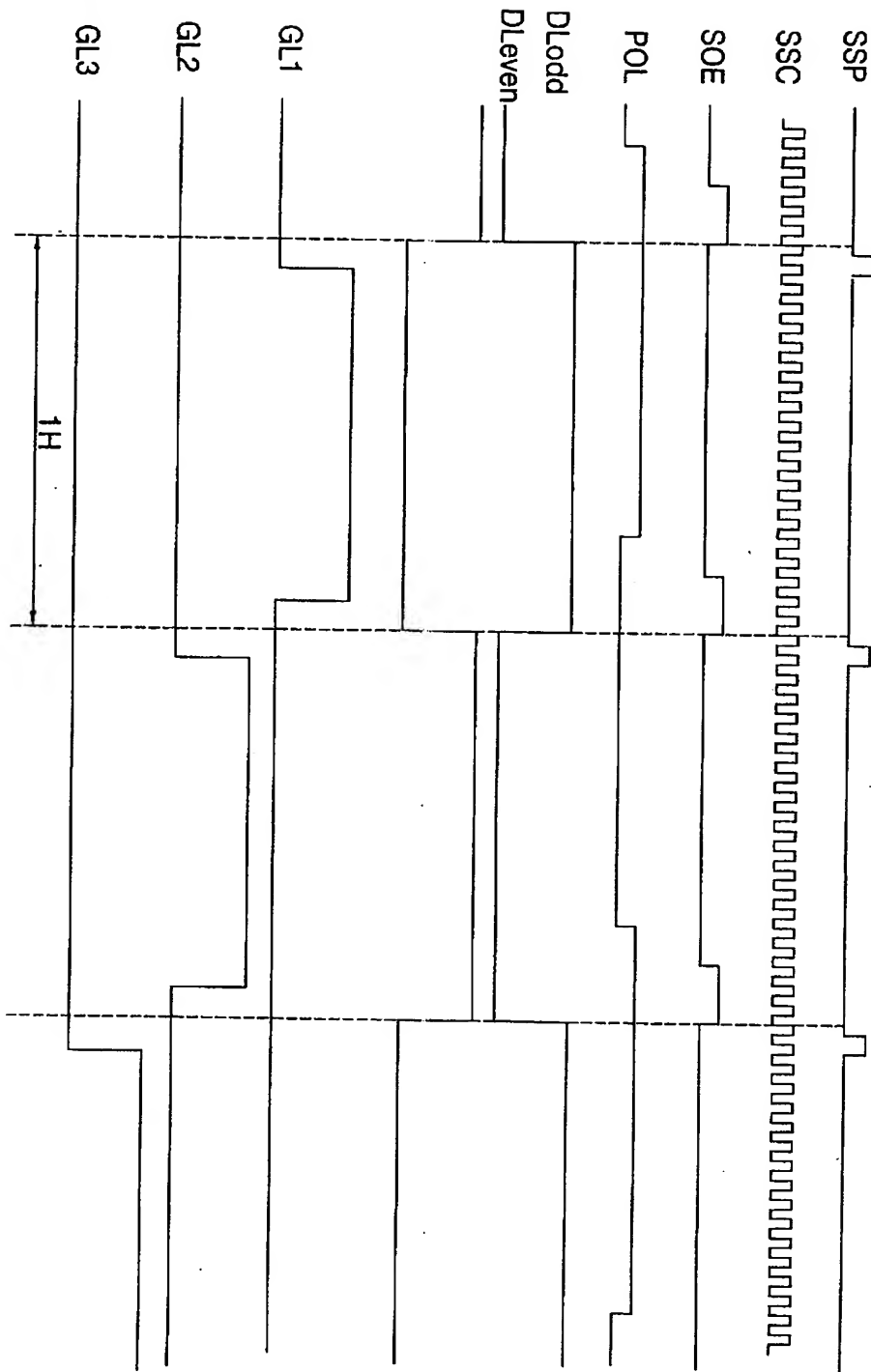


【도 4】

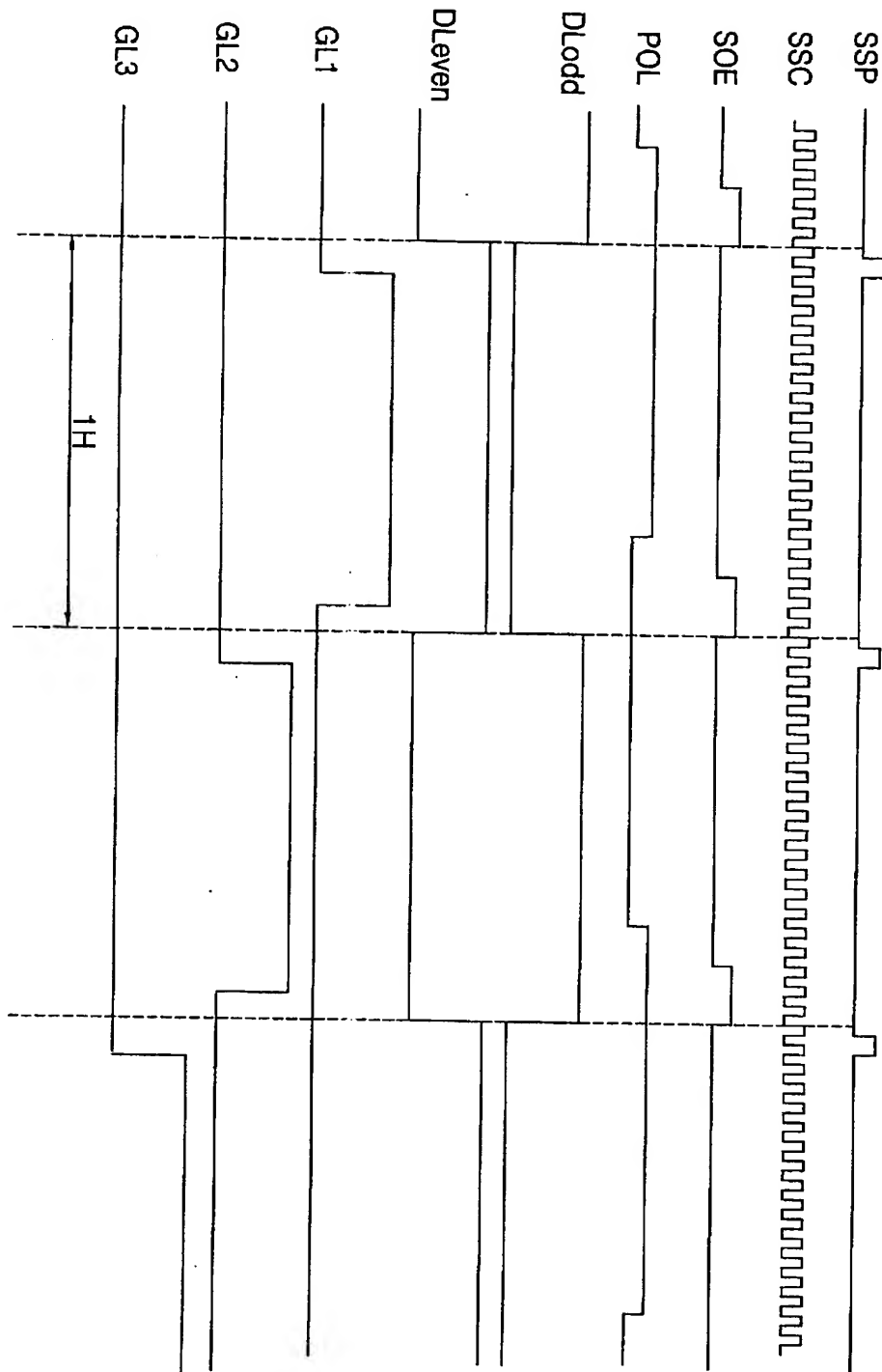




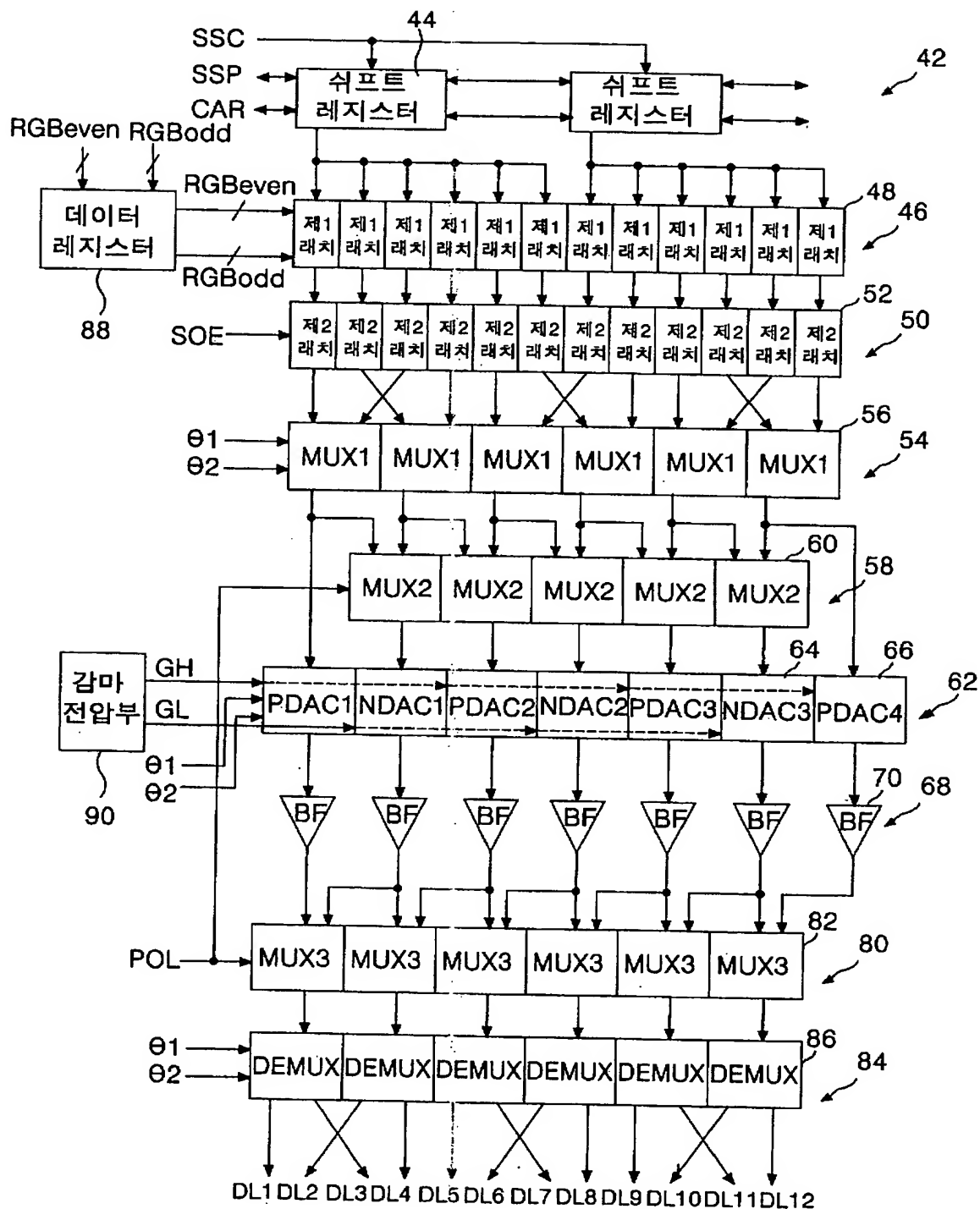
【도 5a】



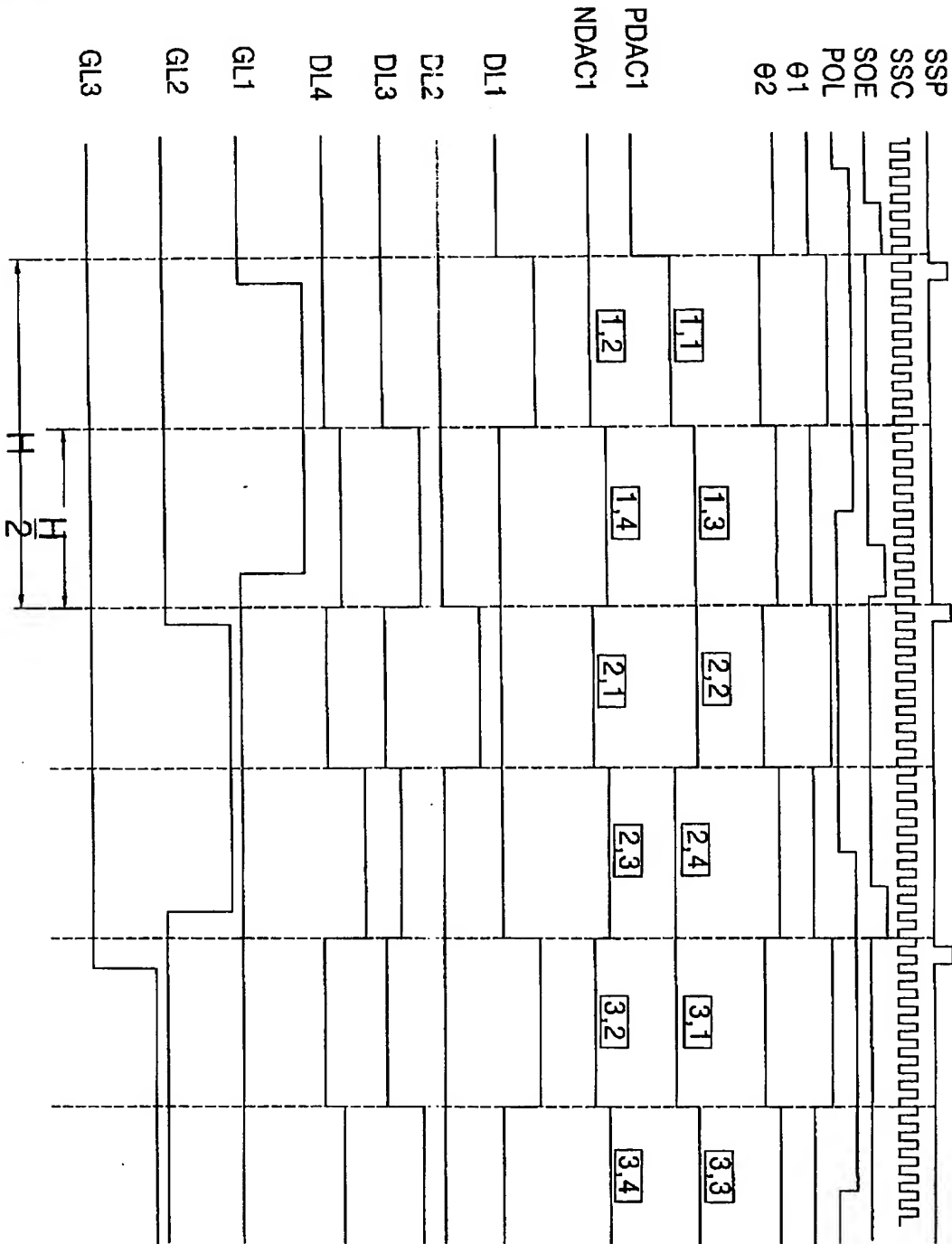
【도 5b】



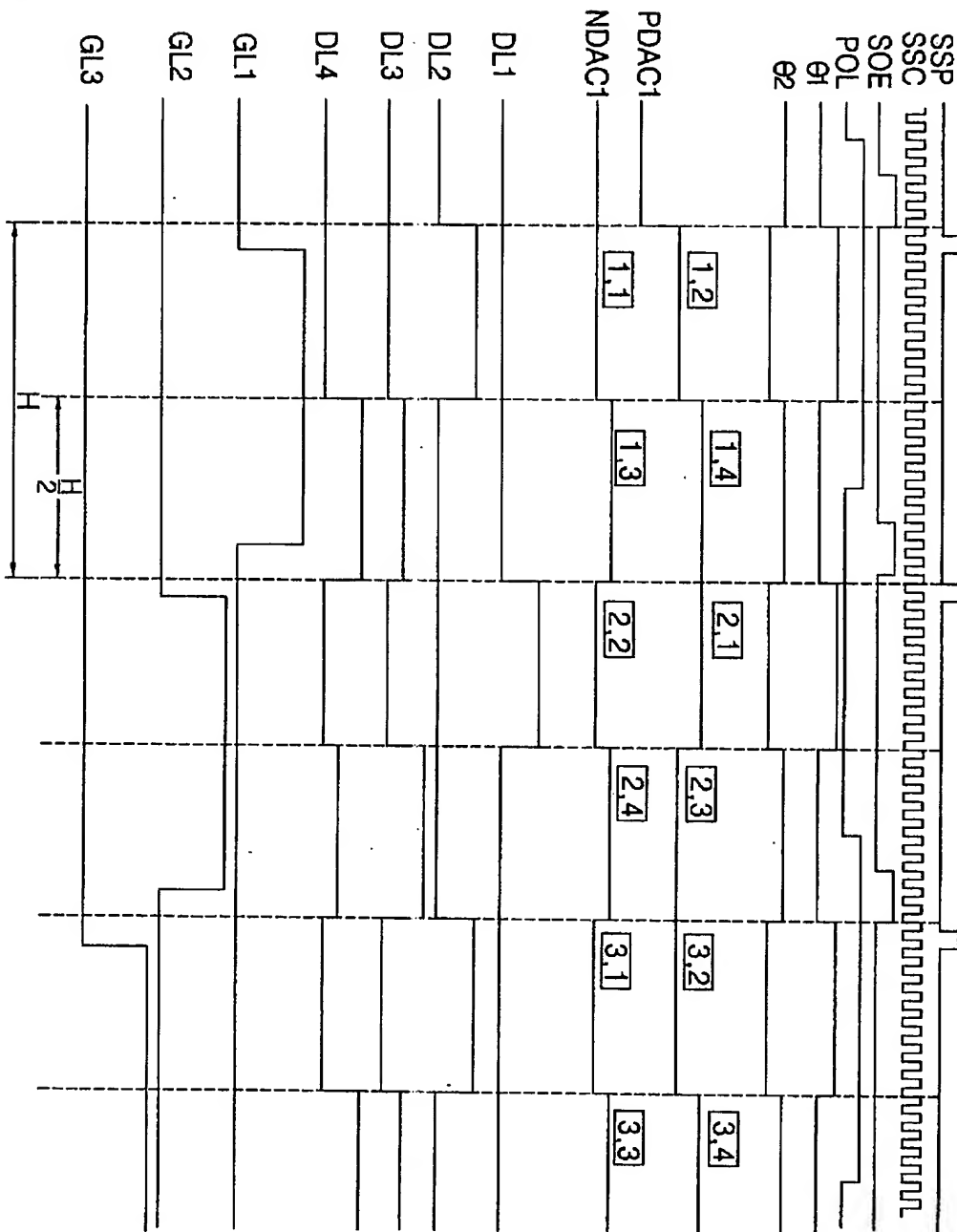
【도 6】



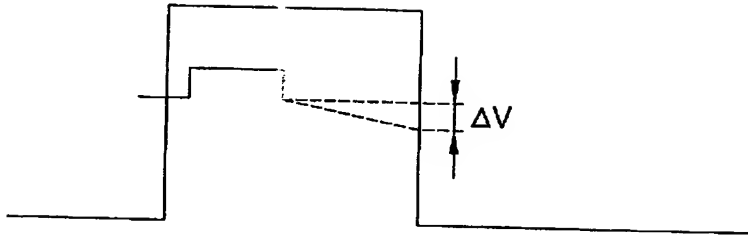
【도 7a】



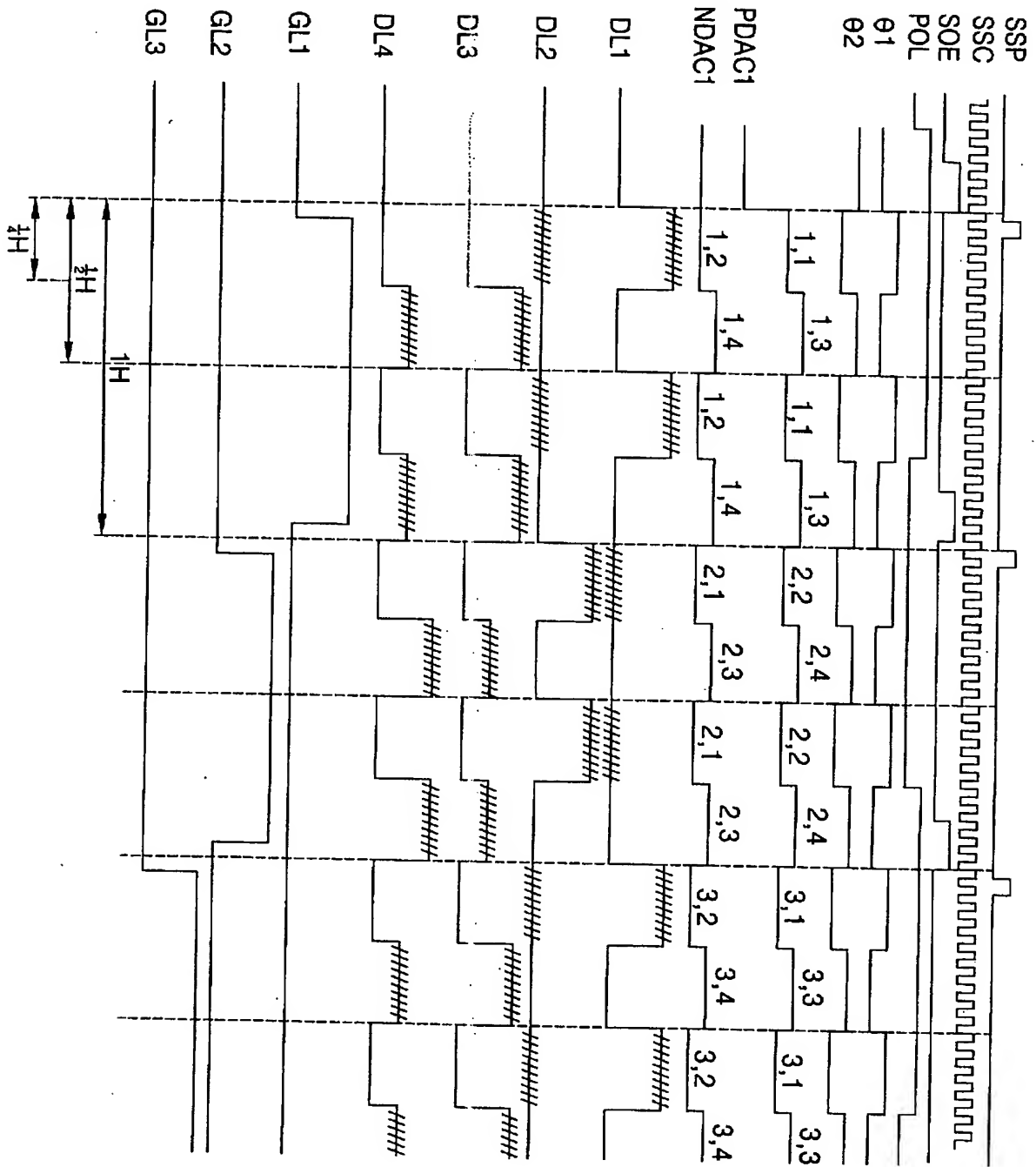
【도 7b】



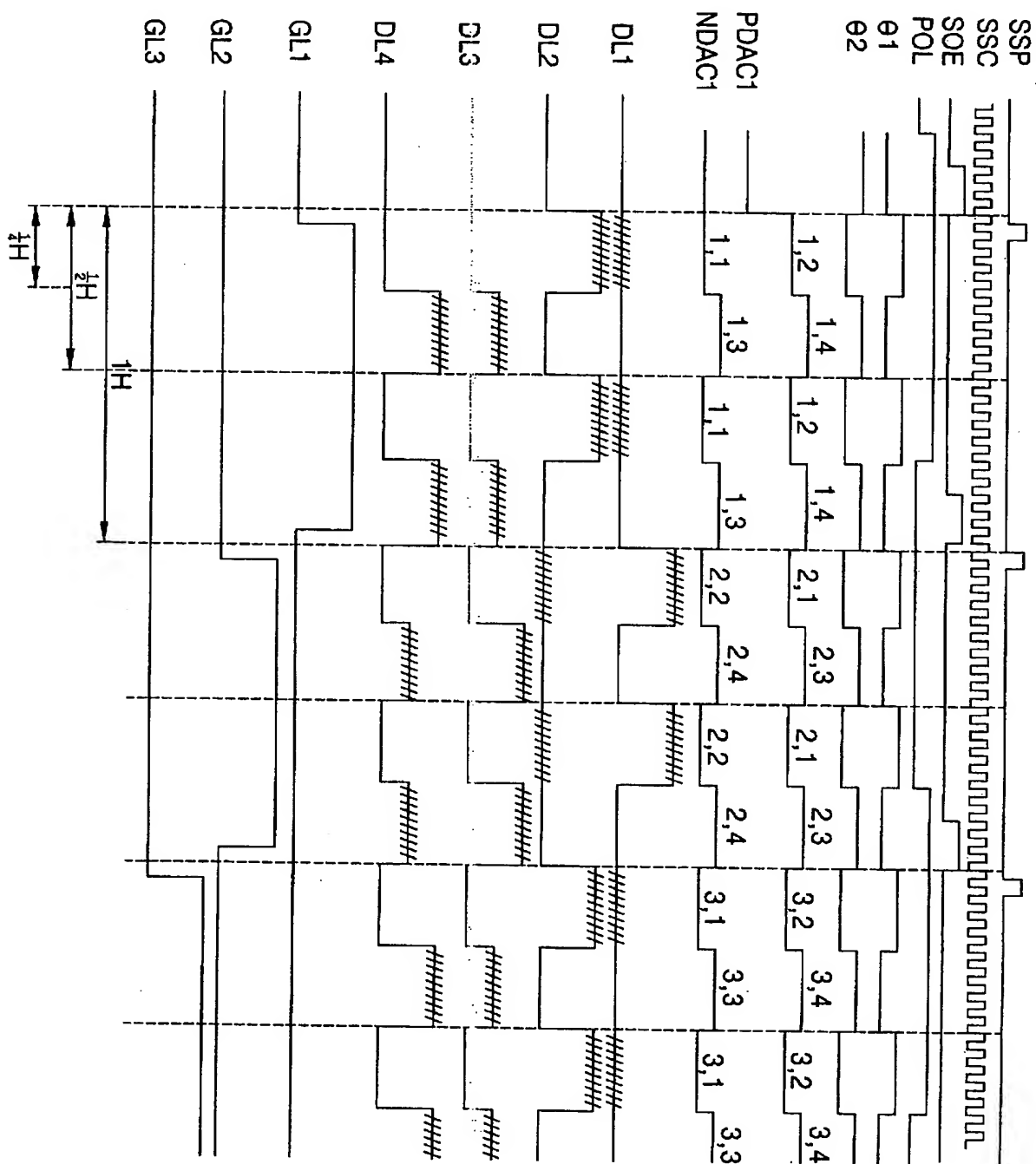
【도 8】



【도 9a】



【도 9b】







【도 10】

